



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

概述

PSoC® 4 是一个可扩展和可重配置的平台架构，用于基于 Arm® Cortex®-M0+ CPU 的可编程嵌入式系统控制器系列。它集成了可编程和可重新配置的模拟和数字模块，并且能够灵活自动地路由资源。PSoC 4000S 产品系列是 PSoC 4 平台架构的一个成员。该产品系列集成了下列四项：拥有标准通信和时序外设的微控制器、具有一流性能的电容式触摸感应 (CapSense) 系统、可编程的通用、连续和带有开关电容的模拟模块以及可编程接口。针对新应用和设计的要求，PSoC 4000S 产品与 PSoC 4 平台系列产品向上兼容。

特性

32 位 MCU 子系统

- 48 MHz Arm Cortex-M0+ CPU, 配置单周期倍频
- 包含读取加速器的闪存容量可达 32 KB
- SRAM 的容量高达 4 KB

可编程模拟资源

- 由电容式感应模块提供的单斜 10 位 ADC 功能
- 可用在任意引脚上的两个电流 DAC (IDAC)，用于通用目的或电容式感应应用
- 可在深度睡眠模式下工作的两个低功耗比较器

可编程数字资源

可编程逻辑模块支持在输入和输出端口上执行 Boolean (布尔) 操作

低功耗操作模式的电压范围: 1.71 V ~ 5.5 V

- 在深度睡眠模式下，模拟系统可正常工作，并且数字系统仅消耗 2.5 μ A 的电流

电容式感应

- 赛普拉斯的 CapSense Sigma-Delta (CSD) 模块提供了一流的信噪比 (SNR > 5:1) 和防水功能
- 赛普拉斯提供的软件组件使电容式感应设计变为更加简单
- 自动硬件调校 (SmartSense™)

串行通信

- 两个运行时可重新配置的独立串行通信模块 (SCB)，可配置为 I2C、SPI 或 UART 功能

LCD 驱动能力

- GPIO 上的 LCD segment 驱动能力

定时和脉冲宽度调制器

- 五个 16 位定时器 / 计数器 / 脉冲宽度调制器 (TCPWM) 模块
- 支持中心对齐、边沿对齐和伪随机模式
- 基于比较器触发的“Kill”信号，适用于电机驱动和其它高可靠性数字逻辑的应用

多达 36 个可编程的 GPIO 引脚

- 48-TQFP、40-pin QFN, 32-pin QFN, 24-pin QFN, 32-pin TQFP 和 25-ball WLCSP 封装
- 任何 GPIO 引脚都可用作 CapSense、模拟或数字引脚
- 可编程驱动模式、强度和转换速率

时钟源

- 32-kHz 监视晶振 (WCO)
- $\pm 2\%$ 精度内部主振荡器 (IMO)
- 32-kHz I 内部低速振荡器 (ILO)

ModusToolbox™ 软件

- 多平台工具和软件库的综合集合。
- 包括电路板支持包 (BSP)、外设驱动库 (PDL) 和 CapSense 等中间件。

PSoC Creator 设计环境

- 集成开发环境 (IDE) 支持设计原理图的创建和编译 (包括自动路由模拟和数字模块) 功能。
- 应用编程接口 (API) 可用于所有固定功能和可编程的外设

工业标准工具的兼容性

- 创建设计原理图后，可以使用基于 Arm 的工业标准开发工具进行开发

文档生态体系

PSoC 4 MCU 资源

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于您正确选择 PSoC 器件，并使您能够快速和有效地将器件集成到设计中。下面是 PSoC 4 MCU 的简要链接列表：

- **概况**：[PSoC 产品系列](#)、[PSoC 路线图](#)
- **产品选型器**：[PSoC 4 MCU](#)。
- **Application Notes** 包括从基本到高级的广泛主题。包括：
 - [AN79953: Getting Started With PSoC 4](#). 此应用笔记提供便捷的流程图以帮助决定使用哪个 IDE：[ModusToolbox™ 软件](#) 或 [PSoC Creator](#)。
 - [AN91184: PSoC 4 BLE - Designing BLE Applications](#)
 - [AN88619: PSoC 4 Hardware Design Considerations](#)
 - [AN73854: Introduction To Bootloaders](#)
 - [AN89610: Arm Cortex Code Optimization](#)
 - [AN86233: PSoC 4 MCU Power Reduction Techniques](#)
 - [AN57821: Mixed Signal Circuit Board Layout](#)
 - [AN85951: PSoC 4, PSoC 6 CapSense Design Guide](#)
- **Code Examples** 展示了产品特性和使用，可从这个路径获取：[Cypress GitHub repositories](#)。
- **Technical Reference Manuals (TRMs)** 提供了 PSoC 4 MCU 架构和寄存器的详细描述。
- **PSoC 4 MCU Programming Specification** 提供了对 PSoC 4 MCU 非易失性存储器进行编程的必要信息。
- **开发工具**
 - [ModusToolbox™ 软件](#) 通过一套强大的工具和软件库实现了跨平台代码开发。
 - [PSoC Creator](#) 是一款基于 Windows 的免费 IDE。它可以同时进行基于 PSoC 3、PSoC 4、PSoC 5LP 和 PSoC 6 MCU 系统的硬件和固件设计。使用原理图捕获和超过 150 个预先验证的、可用于生产的外设组件创建应用程序。
 - [CY8CKIT-145-40XX PSoC 4000S CapSense Prototyping Kit](#), 是一款低成本和易于使用的评估平台。此套件以面包板兼容的格式向所有器件 I/O 口提供方便的接入。
 - [MiniProg4 and MiniProg3](#) 一体式开发编程器和调试器。
 - [PSoC 4 MCU CAD libraries](#) 为通用工具提供了封装和原理图支持。还提供 [IBIS 模型](#)。
- **Training Videos** 培训视频内容广泛，包括 [PSoC 4 MCU 101 series](#)。
- **Cypress Developer Community** 每周 7 天、每天 24 小时与世界各地的 PSoC 开发者同行建立联系，并设有专门的 [PSoC 4 MCU 社区](#)。

ModusToolbox™ 软件

ModusToolbox Software 是赛普拉斯的多平台工具和软件库的综合集合，可以为创建融合的 MCU 和无线系统提供沉浸式的开发体验。它是：

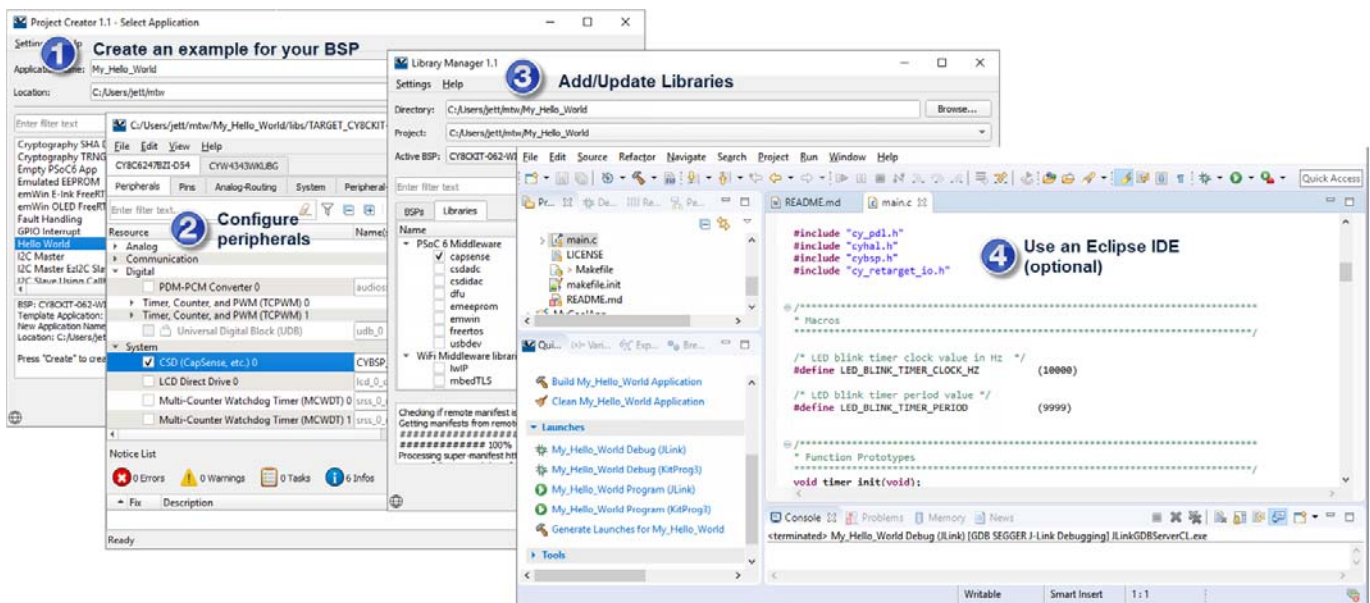
- 全面 -- 它拥有你所需要的资源
- 灵活 -- 您可以在您自己的工作流中使用资源
- 原子级设计 - 你可以得到你想要的资源

赛普拉斯在 [GitHub](#) 上提供了大量的代码库，包括：

- 与赛普拉斯套件一致的板卡支持包（BSPs）
- 低级资源，包括外设驱动库 (PDL)
- 中间件实现了 CapSense 等行业领先的功能。
- 一套广泛的经过全面测试的 [代码示例应用](#)

ModusToolbox 软件是 IDE 中立的，很容易适应你的工作流程和首选开发环境。它包括一个 Project Creator、外设和库配置器、一个库管理器，以及可选的 Eclipse IDE for ModusToolbox，如 [Figure 1](#) 所示。有关使用赛普拉斯工具的信息，请参考随 ModusToolbox 软件交付的文档以及 [AN79953: Getting Started with PSoc 4](#)。

Figure 1. ModusToolbox 软件工具

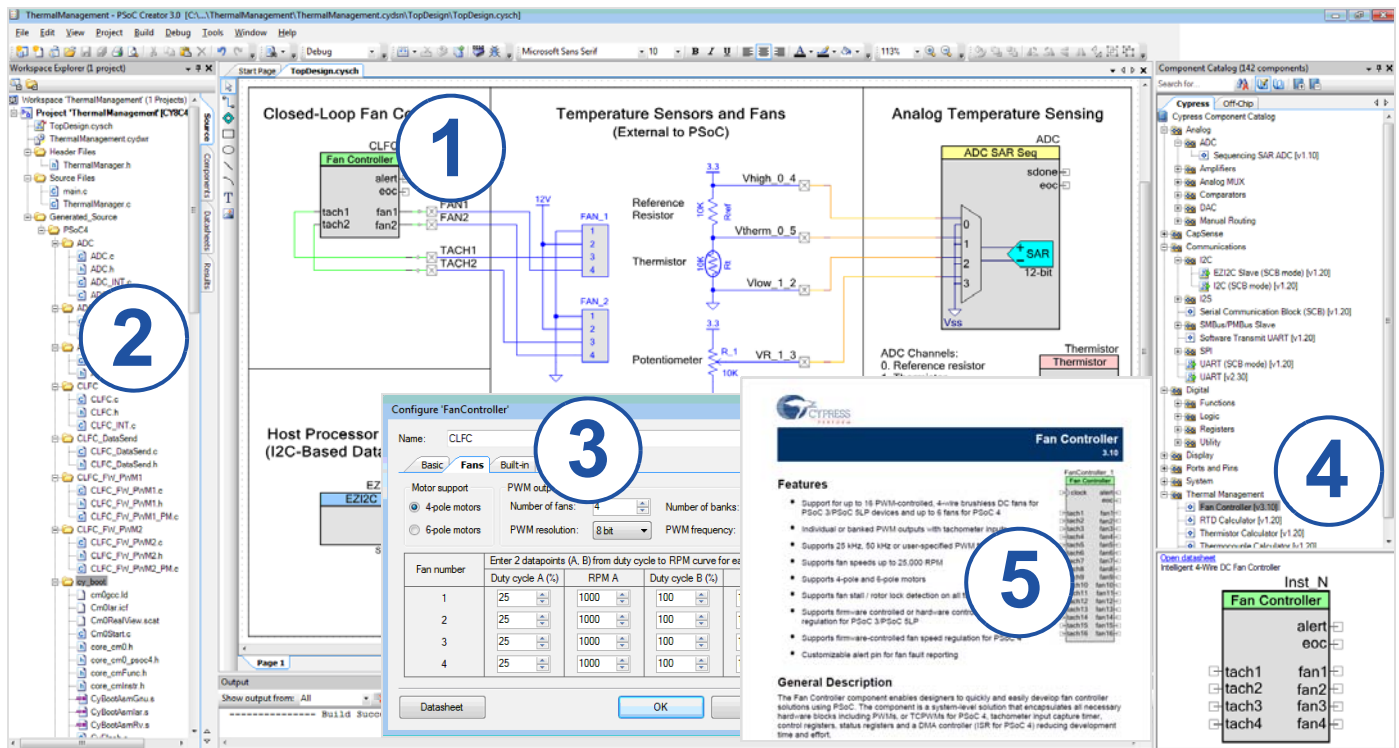


PSoC Creator

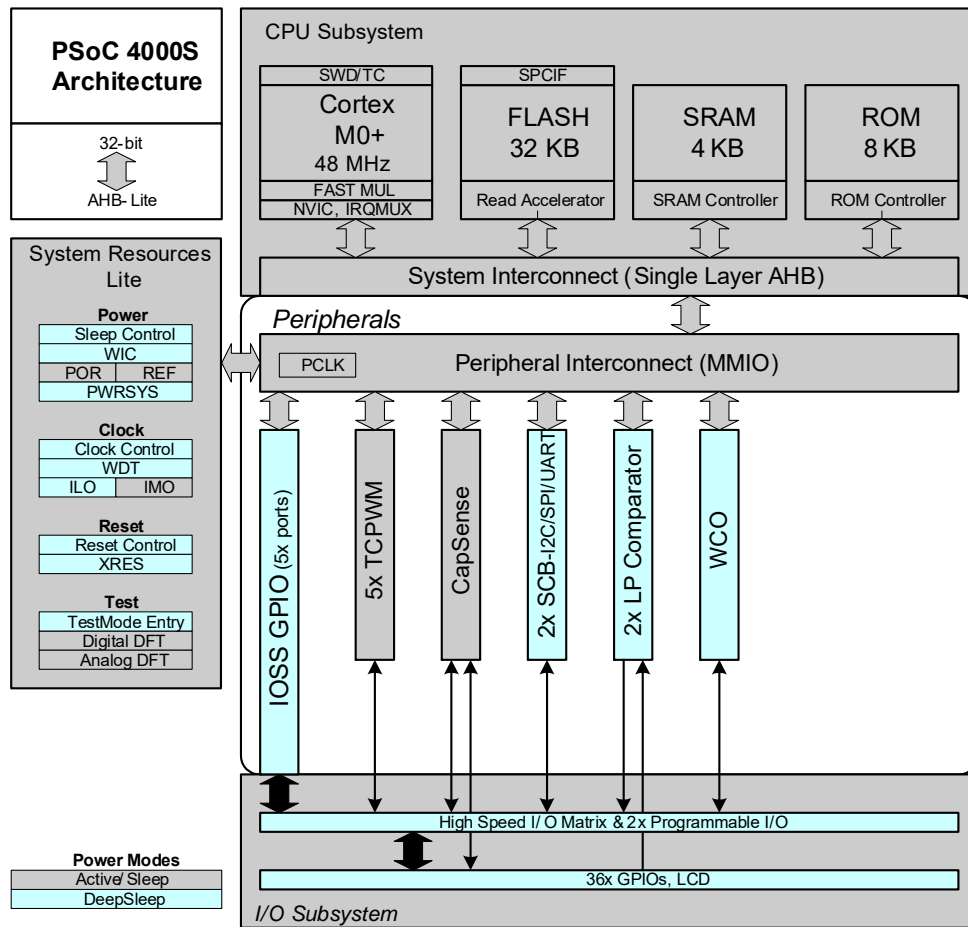
PSoC Creator 是免费的基于 Windows 的集成开发环境 (IDE)。通过它可以同时基于 PSoC 4 MCU 设计硬件和固件。如 Figure 2 所示, 使用 PSoC Creator, 可以执行以下操作:

1. 在主设计工作区拖放组件图标来完成您的硬件系统设计。
2. 使用 PSoC Creator IDE C 编译器和 PSoC 硬件一起设计您的应用固件。
3. 使用组件配置工具配置组件
4. 探索超过 100 个组件库
5. 检查组件数据表
6. 使用 PSoC 4 Pioneer 套件对您的解决方案进行原型设计。如果需要更改设计, PSoC Creator 和 组件可以让您在不需要修改硬件的情况下进行即时更改。

Figure 2. PSoC Creator 中多传感器的示例项目



逻辑框图



PSoC 4000S 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊接口、调试转接板、模拟器或仿真器，只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 软件能够为 PSoC 4100S 器件提供全面集成的编程和调试支持。SWD 接口全面兼容符合工业标准的第三方工具。PSoC 4000S 器件提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。它拥有下面优点：

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专有功能

调试电路默认处于使能状态，并且可以通过固件禁用它。如果它未被使能，使能它的唯一方法是擦除整个器件，清除闪存保护，然后通过使能调试的新固件对器件重新进行编程。因此，只有擦除固件后才能覆盖调试固件的控制，从而提高安全性。

此外，对于某些应用，如果担心网络钓鱼会通过器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存程序列表来击败安全设定，所有器件接口都可以被永久禁用（器件安全性）。当器件的最高安全级别启用时，所有编程、调试和测试接口都被禁用。因此，已使能器件安全性的此器件将不能返回做故障分析。这是 PSoC 4000S 允许客户做出的权衡。

功能说明

PSoC 4000S 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试功能，可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊接口、调试转接板、模拟器或仿真器，只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 软件能够为 PSoC 4100S 器件提供全面集成的编程和调试支持。SWD 接口全面兼容符合工业标准的第三方工具。PSoC 4000S 器件提供了一个多芯片应用解决方案或微控制器都不能达到的安全级别。它拥有下面优点：

- 允许禁用调试特性
- 增强闪存保护功能
- 允许在片上可编程模块上执行客户专有功能

调试电路默认处于使能状态，并且可以通过固件禁用它。如果它未被使能，使能它的唯一方法是擦除整个器件，清除闪存保护，然后通过使能调试的新固件对器件重新进行编程。因此，只有擦除固件后才能覆盖调试固件的控制，从而提高安全性。

此外，对于某些应用，如果担心网络钓鱼会通过对器件恶意重新编程来进行欺诈性攻击或试图启动和中断闪存编程序列来击败安全设定，所有器件接口都可以被永久禁用（器件安全性）。当器件的最高安全级别启用时，所有编程、调试和测试接口都被禁用。因此，已使能器件安全性的此器件将不能返回做故障分析。这是 PSoC 4000S 允许客户做出的权衡。

目录

功能定义	8	存储器.....	26
CPU和存储器子系统.....	8	系统资源.....	26
系统资源.....	8	订购信息	29
模拟模块.....	9	封装	31
可编程数字模块.....	9	封装图.....	32
固定功能数字模块.....	9	缩略语	36
GPIO	10	文档规范	38
特殊功能外设.....	10	测量单位.....	38
引脚布局	11	修订记录	39
引脚复用功能.....	12	销售、解决方案和法律信息	40
电源	14	全球销售和设计支持.....	40
模式1: 1.8 V到5.5 V外部电源.....	14	产品.....	40
模式2: 1.8 V ± 5%外部电源.....	14	PSoc®解决方案.....	40
电气规范	15	赛普拉斯开发者社区.....	40
最大绝对额定值.....	15	技术支持.....	40
器件级规范.....	16		
模拟外设.....	19		
数字外设.....	23		

功能定义

CPU 和存储器子系统

CPU

PSoC 4000S 中的 Cortex-M0+ CPU 是 32 位的 MCU 子系统的一部分，通过扩展的时钟门控对其进行优化，以降低功耗。此外，几乎所有指令的长度都为 16 位，并且 CPU 执行 Thumb-2 指令子集。它包括一个带有 8 个中断输入的嵌套向量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)。通过 WIC 可以将处理器从深度睡眠模式唤醒，这样，允许芯片处于深度睡眠模式时关闭供给主处理器的电源。

CPU 还包含一个串行线调试 (SWD) 接口 — 2 线式 JTAG。PSoC 4000S 的调试配置拥有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

闪存

PSoC 4000S 器件包含一个闪存模块，该模块的闪存加速器与 CPU 紧密耦合，以缩短闪存模块的平均访问时间。该低功耗闪存模块可在工作频率为 48 MHz 的情况下进行两个等待状态 (WS) 的访问。通过闪存加速器，平均 85% 的时间可以有单周期的 SRAM 访问速度。

SRAM

4 KB 的 SRAM 能够在工作频率为 48 MHz 的情况下进行零等待状态的访问。

SROM

PSoC 4000S 还提供了包含引导和配置子程序的管理 ROM。

系统资源

电源系统

有关电源系统的详细信息，请参考第 14 页上的电源一节。它能够维持进入相应模式或延迟模式时 (例如，上电复位 (POR)) 所需要的电压，直到器件正常操作或者生成复位事件 (例如，掉电检测) 为止。PSoC 4000S 可通过一个外部电源供电，其电压范围为 1.8 V \pm 5% (外部稳压) 或 1.8 V 至 5.5 V (内部稳压)。它拥有三种不同的电源模式，这些模式之间的转换由电源系统管理。PSoC 4000S 提供了活动模式以及低功耗的睡眠模式和深度睡眠模式。

所有子系统都在活动模式下运行。CPU 子系统 (CPU、闪存和 SRAM) 在睡眠模式下受时钟门控控制关闭，但所有外设和中断还在活动，在发生唤醒事件时会立即唤醒子系统。在深度睡眠模式下，高速时钟和相关电路都被关闭，从该模式唤醒需要 35 μ s。

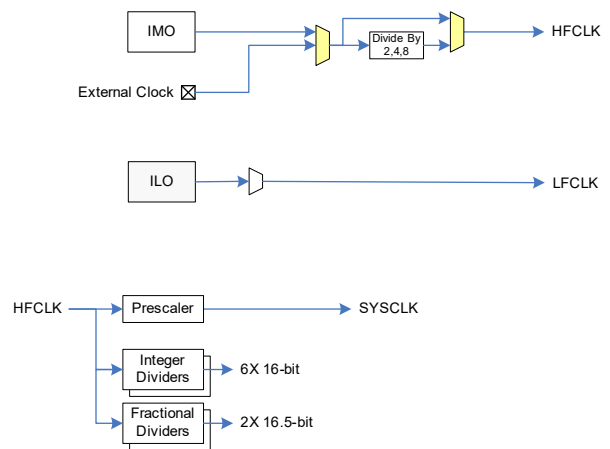
时钟系统

PSoC 4000S 时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而不会发生毛刺脉冲。此外，该时钟系统可确保不会出现亚稳态情况。

PSoC 4000S 的时钟系统包括内部主振荡器 (IMO)、内部低频振荡器 (ILO)、一个 32 kHz 时钟晶体振荡器 (WCO)，并能够接入一个外部时钟。该系统提供了时钟分频器，用于为外设灵活生成精准的时钟。另外，它还提供了分数分频器，从而为 UART 生成更高数据速率的时钟。

通过对 HFCLK 信号进行分频，可以生成用于模拟和数字外设的同步时钟。PSoC 4000S 共有 8 个时钟分频器，其中两个是分数分频器。16 位的分频器能够灵活生成准确的频率值。PSoC Creator 完全支持该功能。

图 3. PSoC 4000S MCU 时钟架构



IMO 时钟源

在 PSoC 4000S 中，IMO 是主要内部时钟源。在出厂测试过程中，该时钟源会被调整以达到指定的精度。IMO 的默认频率为 24 MHz 并且能以步长为 4 MHz 从 24 MHz 递增至 48 MHz。IMO 的校准容差为 \pm 2%。

ILO 时钟源

ILO 是一个极低功耗的 40 kHz 振荡器，主要用于为在深度睡眠模式下工作的看门狗定时器 (WDT) 和外设提供时钟。利用 IMO 校准 ILO 驱动计数器可以提高精度。赛普拉斯提供了一个用于校准目的的软件组件。

时钟晶体振荡器 (WCO)

PSoC 4000S 时钟子系统还能够提供一个用于精确时序应用的低频率振荡器 (32 kHz 时钟晶振)。WCO 模块允许锁定 IMO 为 32 kHz 振荡器。PSoC 4000S 系列器件上的 WCO 不连接到 LFCLK 或 WDT。因此，不支持 RTC 功能。

看门狗定时器

来自 ILO 的时钟模块为看门狗定时器提供时钟；这样允许看门狗在深度睡眠模式下仍能工作。在设定好的超时前，如果看门狗仍未得到服务，它将会产生一个看门狗复位。看门狗复位被记录在固件可读的复位原因寄存器内。

复位

可以通过各种源（包括软件复位）来复位 PSoC 4000S。复位事件是异步发生的，用于确保将器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。有一个 XRES 引脚保留作为外部复位，低电平有效。XRES 引脚有一个内部上拉电阻（永远使能）。

参考电压

PSoC 4000S 参考系统能够生成全部所需内部参考电压。它为比较器提供 1.2 V 参考电压。IDAC 是基于一个 ±5% 参考电压。

模拟模块

低功耗比较器 (LPC)

PSoC 4000S 有一对能在深度睡眠模式下工作的低功耗比较器。这样，当模拟系统模块被禁用时，仍可以在低功耗模式下监控外部电压电平。通常需要对比较器输出进行同步，以避免亚稳态，除非它在一个异步功耗模式下运行（在该模式下，比较器电压变动事件可以激活系统唤醒电路）。可将 LPC 输出路由到各个引脚上。

电流 DAC

PSoC 4000S 有两个 IDAC，用于驱动芯片上的任何引脚。这些 IDAC 具有可编程的电流范围。

模拟复用总线

PSoC 4000S 具有两个围绕芯片周边的同心独立总线（称为 AMUX 总线）。它们与固件可编程的模拟开关相连。通过这些开关，芯片的内部资源（IDAC、比较器）可连接至 I/O 端口上的任何引脚。

可编程数字模块

可编程 I/O（Smart I/O）模块由各个开关和 LUT 构成，该模块允许通过路由到 GPIO 端口引脚上的信号实现布尔（Boolean）功能。Smart I/O 可在连接到芯片的输入引脚上或输出信号上进行逻辑操作。

固定功能数字模块

定时 / 计数 / 脉宽调制器 (TCPWM) 模块

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。另外，还有一个捕获寄存器，用于记录发生事件（可能是 I/O 事件）时的计数值；一个周期寄存器，用于停止或自动重新加载计数器（如果它的计数值等于周期寄存器的值）以及多个比较寄存器，用于生成作为 PWM 占空比输出的比较值信号。该模块还提供了正向输出和反向输出以及它们间的可编程偏移；这样，这些输出可以作为可编程死区的互补 PWM 输出使用。它还有一个停止（Kill）输入，用于强制输出预定状态。例如，在用于电机驱动系统中，当出现过流状态时，需要立即关闭驱动 FET 的 PWM，而不能等待软件干预。PSoC 4000S 中共有五个 TCPWM 模块。

串行通信模块 (SCB)

PSoC 4000S 有两个串行通信模块，可将其配置为 SPI、I2C 或 UART 功能。

I²C 模式：硬件 I²C 模块可执行整个多主设备和从设备接口（具有多主设备仲裁功能）。该模块的工作速率可达 1Mbps（快速模式加），另外它还提供了各种灵活的缓冲选项，从而能够降低 CPU 的中断开销和延迟。该模块还具有一个 EZI2C，通过它可以在 PSoC 4000S 存储器中创建邮箱的地址范围，并且对存储器中的阵列进行读写操作时可以大量减少 I²C 通信。此外，该模块提供了一个 8 字节的 FIFO，用于接收和传送数据。通过延长 CPU 读取数据的时间，可以明显降低时钟延展的发生率（由于 CPU 没有及时读取数据而导致的现象）。

I²C 外设与 I²C 标准模式和快速模式器件相兼容，如 NXP I²C 总线规范和用户手册（UM10204）中所定义。GPIO 可以在开漏模式下实现 I²C 总线 I/O。

在以下几方面，PSoC 4000S 不完全符合 I²C 规范：

■ GPIO 单元不耐受过压，因此不能热插拔或独立于其它 I²C 系统上电。

UART 模式：这是一个运行速度高达 1 Mbps 的全功能 UART。它支持汽车单线接口（LIN）、红外接口（IrDA）和智能卡（ISO7816）协议，这些都是基本 UART 的衍生协议。此外，它还支持 9 位多处理器模式（该模式允许寻址连接到通用 RX 和 TX 线的外设），并支持通用 UART 功能（如奇偶校验错误、中断检测以及帧错误）。一个深度为 8 字节的 FIFO 允许更长的 CPU 服务延迟。

SPI 模式：SPI 模式完全支持 Motorola SPI、TI SSP（添加了一个用于同步 SPI 编解码的启动脉冲）和 National Microwire（SPI 的半双工形式）。该 SPI 模块可以使用 FIFO。

GPIO

PSoC 4000S 最多有 36 个 GPIO。GPIO 模块实现下列功能：

- 八种驱动模式：
 - 模拟输入（输入和输出缓冲区被禁用）
 - 仅输入
 - 弱上拉和强下拉
 - 强上拉和弱下拉
 - 开漏和强下拉
 - 开漏和强上拉
 - 强上拉和强下拉
 - 弱上拉和弱下拉
 - 输入阈值选择（CMOS 或 LVTTL）。
 - 除了各种强驱动模式外，还能独立控制输入和输出缓冲区的使能 / 禁用状态
 - 可以选择转换速率，用于控制 dV/dt 相关噪声，有助于降低 EMI
- 各个引脚被分为逻辑实体并称为端口，每个端口的宽度为 8 位（端口 2 和 3 会少一些）。在上电和复位期间，各模块被强制为禁用状态，从而防止给任何输入供电和 / 或在引脚启用时发生过流。一个高速 I/O 矩阵的复用网络用于复用连接多个信号至一个 I/O 引脚。
- 数据输出寄存器和引脚状态寄存器分别用于存储输出到引脚上的数据和引脚状态。
- 当使能中断时，每一个 I/O 都能生成一个中断，并且每个 I/O 端口都有一个相关的中断请求（IRQ）和中断服务子程序（ISR）向量（对于 PSoC 4000S，该数量为 5）。

特殊功能外设

CapSense

PSoC 4000S 中的 CapSense Sigma-Delta（CSD）模块为用户提供了 CapSense 功能。通过模拟开关连接到模拟复用总线，可将该模块连接到任何引脚上。因此，在软件控制情况下，系统中的任何可用引脚或引脚组都可以提供 CapSense 功能。为了便于用户使用 CapSense 模块，还提供了 PSoC Creator 组件。

通过将屏蔽电压驱动到另一个模拟复用总线（即对屏蔽电极和感应电极进行同步的驱动），可以提供防水功能，从而避免屏蔽电容衰减感应输入信号。另外可以实现接近感应。

CapSense 模块有两个 IDAC。如果不用 CapSense（两个 IDAC 都可用）或 CapSense 没有防水功能（一个 IDAC 可用），可以将这两个 IDAC 作为通用 IDAC 使用。

CapSense 模块还提供 10 位斜率 ADC 功能，该功能可与 CapSense 功能配合使用。

CapSense 模块是一个高级、低噪声的可编程模块，可编程参考电压和电流源的范围，有助于提升系统的灵敏度和灵活性。它也可以使用外部参考电压。它支持全波 CSD 模式，交换检测 VDDA 和接地电压，以消除电源相关的噪声。

LCD Segment 驱动

PSoC 4000S 有一个 LCD 控制器，可驱动多达 8 个 common 和 28 个 segment。该控制器使用完整的数字方法驱动 LCD segment，而不需要生成内部 LCD 电压。这两种方法被称为数字关联和 PWM。数字关联通过调制 common 和 segment 信号的频率和驱动电平来生成跨过一个 segment 的最高 RMS 电压（用于点亮该 segment）或保持 RMS 信号为零。这种方法对 STN 显示屏很有用，但可能会降低 TN（较便宜）显示屏的对比度。PWM 方法是使用 PWM 信号来驱动屏幕，有效地利用屏幕的电容来提供经过调制的脉冲宽度，从而生成所需 LCD 电压。这种方法要求更高的功耗，但驱动 TN 显示屏时可以带来更好的效果。

引脚布局

下表提供了 PSoC 4000S 器件 48-TQFP、40-QFN、32-QFN、24-QFN、32-TQFP 和 25-ball CSP 封装中的引脚分布。所有端口引脚都支持 GPIO。Pin 11 在 48-TQFP 中是无连接引脚。

表 1. PSoC 4000S 引脚列表

48-pin TQFP		32-pin QFN		24-pin QFN		25-ball CSP		40-pin QFN		32-pin TQFP	
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称
28	P0.0	17	P0.0	13	P0.0	D1	P0.0	22	P0.0	17	P0.0
29	P0.1	18	P0.1	14	P0.1	C3	P0.1	23	P0.1	18	P0.1
30	P0.2	19	P0.2					24	P0.2	19	P0.2
31	P0.3	20	P0.3					25	P0.3	20	P0.3
32	P0.4	21	P0.4	15	P0.4	C2	P0.4	26	P0.4	21	P0.4
33	P0.5	22	P0.5	16	P0.5	C1	P0.5	27	P0.5	22	P0.5
34	P0.6	23	P0.6	17	P0.6	B1	P0.6	28	P0.6	23	P0.6
35	P0.7					B2	P0.7	29	P0.7		
36	XRES	24	XRES	18	XRES	B3	XRES	30	XRES	24	XRES
37	VCCD	25	VCCD	19	VCCD	A1	VCCD	31	VCCD	25	VCCD
38	VSSD	26	VSSD	20	VSSD	A2	VSS			26	VSSD
39	VDDD	27	VDD	21	VDD	A3	VDD	32	VDDD	27	VDD
40	VDDA	27	VDD	21	VDD	A3	VDD	33	VDDA	27	VDD
41	VSSA	28	VSSA	22	VSSA	A2	VSS	34	VSSA	28	VSSA
42	P1.0	29	P1.0					35	P1.0	29	P1.0
43	P1.1	30	P1.1					36	P1.1	30	P1.1
44	P1.2	31	P1.2	23	P1.2	A4	P1.2	37	P1.2	31	P1.2
45	P1.3	32	P1.3	24	P1.3	B4	P1.3	38	P1.3	32	P1.3
46	P1.4							39	P1.4		
47	P1.5										
48	P1.6										
1	P1.7	1	P1.7	1	P1.7	A5	P1.7	40	P1.7	1	P1.7
2	P2.0	2	P2.0	2	P2.0	B5	P2.0	1	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1	C5	P2.1	2	P2.1	3	P2.1
4	P2.2	4	P2.2					3	P2.2	4	P2.2
5	P2.3	5	P2.3					4	P2.3	5	P2.3
6	P2.4							5	P2.4		
7	P2.5	6	P2.5					6	P2.5	6	P2.5
8	P2.6	7	P2.6	4	P2.6	D5	P2.6	7	P2.6	7	P2.6
9	P2.7	8	P2.7	5	P2.7	C4	P2.7	8	P2.7	8	P2.7
10	VSSD					A2	VSS	9	VSSD		
12	P3.0	9	P3.0	6	P3.0	E5	P3.0	10	P3.0	9	P3.0
13	P3.1	10	P3.1			D4	P3.1	11	P3.1	10	P3.1
14	P3.2	11	P3.2	7	P3.2	E4	P3.2	12	P3.2	11	P3.2
16	P3.3	12	P3.3	8	P3.3	D3	P3.3	13	P3.3	12	P3.3
17	P3.4							14	P3.4		
18	P3.5							15	P3.5		
19	P3.6							16	P3.6		

表 1. PSoC 4000S 引脚列表

48-pin TQFP		32-pin QFN		24-pin QFN		25-ball CSP		40-pin QFN		32-pin TQFP	
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称
20	P3.7							17	P3.7		
21	VDDD										
22	P4.0	13	P4.0	9	P4.0	E3	P4.0	18	P4.0	13	P4.0
23	P4.1	14	P4.1	10	P4.1	D2	P4.1	19	P4.1	14	P4.1
24	P4.2	15	P4.2	11	P4.2	E2	P4.2	20	P4.2	15	P4.2
25	P4.3	16	P4.3	12	P4.3	E1	P4.3	21	P4.3	16	P4.3

备注：引脚 11, 15, 26, 和 27 在 48-pin TQFP 上无连接 (NC)。

引脚功能的说明如下：

VDDD：数字模块的电源。

VDDA：模拟模块的电源。

VSSD、VSSA：分别是数字和模拟模块的接地引脚。

VCCD：稳压的数字电源（1.8 V ± 5%）。

VDD：向芯片所有部分供电

VSS：芯片所有部分接地

引脚复用功能

每个端口引脚均可用于实现某个功能，例如：作为模拟 I/O、数字外设功能、LCD 引脚或 CapSense 引脚。引脚分配如下表所示。

表 2. 引脚布局

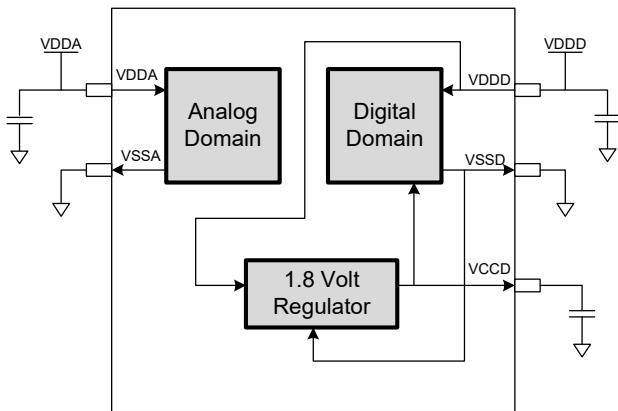
端口 / 引脚	模拟引脚	Smart I/O	复用功能 1	复用功能 2	复用功能 3	深度睡眠 1	深度睡眠 2
P0.0	ipcomp.in_p[0]				tcpwm.tr_in[0]		scb[0].spi_select1:0
P0.1	ipcomp.in_n[0]				tcpwm.tr_in[1]		scb[0].spi_select2:0
P0.2	ipcomp.in_p[1]						scb[0].spi_select3:0
P0.3	ipcomp.in_n[1]						
P0.4	wco.wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			srss.ext_clk	scb[1].uart_cts:0			scb[1].spi_clk:1
P0.7				scb[1].uart_rts:0			scb[1].spi_select0:1
P1.0			tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1			tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2			tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]		scb[0].spi_clk:1
P1.3			tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]		scb[0].spi_select0:1
P1.4							scb[0].spi_select1:1
P1.5							scb[0].spi_select2:1
P1.6							scb[0].spi_select3:1
P1.7							
P2.0		prgio[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1		prgio[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2		prgio[0].io[2]					scb[1].spi_clk:2
P2.3		prgio[0].io[3]					scb[1].spi_select0:2
P2.4		prgio[0].io[4]	tcpwm.line[0]:1				scb[1].spi_select1:1
P2.5		prgio[0].io[5]	tcpwm.line_compl[0]:1				scb[1].spi_select2:1
P2.6		prgio[0].io[6]	tcpwm.line[1]:1				scb[1].spi_select3:1
P2.7		prgio[0].io[7]	tcpwm.line_compl[1]:1			ipcomp.comp[0]:1	

端口 / 引脚	模拟引脚	Smart I/O	复用功能 1	复用功能 2	复用功能 3	深度睡眠 1	深度睡眠 2
P3.0		prgio[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		prgio[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		prgio[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		prgio[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		prgio[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		prgio[1].io[5]	tcpwm.line_compl[2]:0		tcpwm.tr_in[7]		scb[1].spi_select2:0
P3.6		prgio[1].io[6]	tcpwm.line[3]:0		tcpwm.tr_in[8]		scb[1].spi_select3:0
P3.7		prgio[1].io[7]	tcpwm.line_compl[3]:0		tcpwm.tr_in[9]	lpcomp.comp[1]:1	
P4.0	csd.vref_ext			scb[0].uart_rx:0	tcpwm.tr_in[10]	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshieldpads			scb[0].uart_tx:0	tcpwm.tr_in[11]	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0

电源

下面的电源系统框图显示了 PSoC 4000S 中电源引脚的设置情况。该系统具有一个处于活动模式的电压调节器，用于为数字电路供电。系统中没有模拟电压调节器，因此，模拟电路直接由 V_{DD} 输入供电。

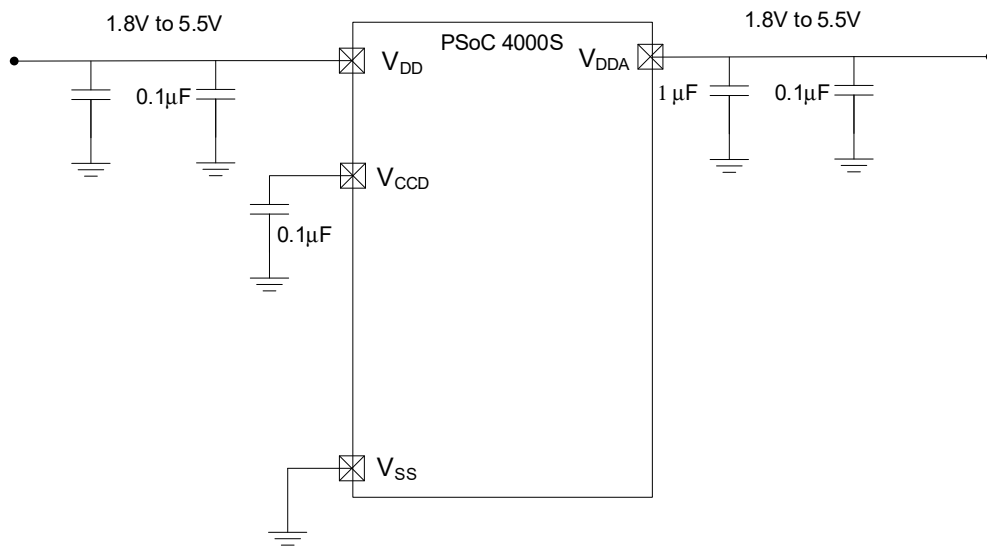
图 4. 电源连接



共有两种操作模式。在模式 1 中，电压范围为 1.8 V ~ 5.5 V（未经外部调节，使用内部稳压器）。在模式 2 中，电压范围为 1.8 V ±5%（使用外部稳压器），或 1.71 V ~ 1.89 V（不使用内部稳压器）。

图 5. 外部电源（电压范围从 1.8 V 到 5.5 V，使能内部电压调节器）

Power supply bypass connections example



模式 1: 1.8 V 到 5.5 V 外部电源

在该模式下，PSoC 4000S 由外部电源供电，它的范围为 1.8 到 5.5 V。该范围也适用于电池供电的操作。例如，芯片可由一个开始为 3.5 V，然后下降到 1.8 V 的电池系统供电。在该模式下，PSoC 4000S 的内部电压调节器为内部逻辑供电，并且它的输出与 V_{CCD} 引脚连接。V_{CCD} 引脚需要通过外部电容（0.1 µF、X5R 陶瓷或性能更好的电容）旁路接地，并且不可连接到其他部分。

模式 2: 1.8 V ± 5% 外部电源

在该模式下，PSoC 4000S 由一个电压范围为 1.71 V ~ 1.89 V 的外部电源供电。请注意，该范围必须包括电源脉冲。在该模式下，VDD 和 VCCD 引脚短接相连并被旁路。内部电压调节器可通过固件被禁用。

VDD 需要通过旁路电容接地。对于在该频率范围内工作的系统，通常选用一个 1 µF 的电容，与一个较小的电容（如 0.1 µF）并行放置。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路寄生电容需要通过仿真设计以获得最佳的旁路。

旁路方案示例如下图所示。

电气规范

最大绝对额定值

表 3. 最大绝对额定值^[1]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V _{DDD_ABS}	相对于 V _{SS} 的数字供电电压	-0.5	-	6	V	-
SID2	V _{CCD_ABS}	相对于 V _{SS} 的直接数字内核输入电压	-0.5	-	1.95		-
SID3	V _{GPIO_ABS}	GPIO 电压	-0.5	-	V _{DD} +0.5		-
SID4	I _{GPIO_ABS}	每个 GPIO 上的最大电流	-25	-	25	mA	-
SID5	I _{GPIO_injection}	GPIO 注入电流。V _{IH} > V _{DDD} 时，该值最大；V _{IL} < V _{SS} 时，该值最小	-0.5	-	0.5		每个引脚的注入电流
BID44	ESD_HBM	人体静电放电模型	2200	-	-	V	-
BID45	ESD_CDM	充电器件的静电放电模型	500	-	-		-
BID46	LU	栓锁的引脚电流	-140	-	140	mA	-

注释:

1. 器件在高于表 3 中所列出的最大绝对值条件下工作可能会造成永久性损害。长期在最大绝对值条件下工作可能会影响器件的可靠性。最大存放温度是 150°C，符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件可能不正常工作。

器件级规范

 除非另有说明，否则规范的适用条件是： $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ ， $T_J \leq 125^{\circ}\text{C}$ ，电压范围为 1.71 V ~ 5.5 V。

表 4. 直流规范

 典型值的测量条件为： $V_{DD} = 3.3\text{ V}$ ，温度 = 25 °C。

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID53	V_{DD}	电源输入电压	1.8	–	5.5	V	内部稳压电源
SID255	V_{DD}	电源输入电压 ($V_{CCD} = V_{DD} = V_{DDA}$)	1.71	–	1.89		内部未稳压电源
SID54	V_{CCD}	输出电压 (供给内核逻辑)	–	1.8	–		–
SID55	C_{EFC}	外部电压调节器旁路电容	–	0.1	–	μF	X5R 陶瓷电容或性能更好的电容
SID56	C_{EXC}	电源旁路电容	–	1	–		X5R 陶瓷电容或性能更好的电容
在活动模式下， $V_{DD} = 1.8\text{ V} \sim 5.5\text{ V}$ 。典型值的测量条件为： $V_{DD} = 3.3\text{ V}$ ，温度 = 25 °C。							
SID10	I_{DD5}	从闪存内执行，CPU 的运行速率为 6 MHz	–	1.2	1.8	mA	–
SID16	I_{DD8}	从闪存内执行。CPU 的运行速率为 24 MHz	–	2.4	4.0		–
SID19	I_{DD11}	从闪存内执行，CPU 的运行速率为 48 MHz	–	4.6	5.9		–
在睡眠模式下， $V_{DDD} = 1.8\text{ V} \sim 5.5\text{ V}$ (使能稳压器)							
SID22	I_{DD17}	I ² C 唤醒、WDT 和比较器都被启用。	–	1.1	1.6	mA	6 MHz
SID25	I_{DD20}	I ² C 唤醒、WDT 和比较器都被启用	–	1.4	1.9		12 MHz
在睡眠模式下， $V_{DDD} = 1.71\text{ V} \sim 1.89\text{ V}$ (旁路稳压器)							
SID28	I_{DD23}	I ² C 唤醒、WDT 和比较器都被启用	–	0.7	0.9	mA	6 MHz
SID28A	I_{DD23A}	I ² C 唤醒、WDT 和比较器都被启用	–	0.9	1.1		12 MHz
在深度睡眠模式下， $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (启用稳压器)							
SID31	I_{DD26}	I ² C 唤醒和 WDT 被启用	–	2.5	60	μA	–
在深度睡眠模式下， $V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$ (启用稳压器)							
SID34	I_{DD29}	I ² C 唤醒和 WDT 被启用	–	2.5	60	μA	–
在深度睡眠模式下， $V_{DD} = V_{CCD} = 1.71\text{ V} \sim 1.89\text{ V}$ (旁路稳压器)							
SID37	I_{DD32}	I ² C 唤醒和 WDT 被启用	–	2.5	60	μA	–
XRES 电流							
SID307	I_{DD_XR}	触发 XRES 时的供电电流	–	2	5	mA	–

表 5. 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID48	F_{CPU}	CPU 频率	DC	–	48	μs	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[2]	T_{SLEEP}	从睡眠模式唤醒的时间	–	0	–		–
SID50 ^[2]	$T_{DEEPSLEEP}$	从深度睡眠模式唤醒的时间	–	35	–		

注释：

2. 由表征保证。

GPIO
表 6. GPIO 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID57	$V_{IH}^{[3]}$	输入高电平电压阈值	$0.7 \times V_{DDD}$	–	–	V	CMOS 输入电压
SID58	V_{IL}	输入低电平电压阈值	–	–	$0.3 \times V_{DDD}$		CMOS 输入电压
SID241	$V_{IH}^{[3]}$	LVTTL 输入电压, $V_{DDD} < 2.7 V$	$0.7 \times V_{DDD}$	–	–		–
SID242	V_{IL}	LVTTL 输入电压, $V_{DDD} < 2.7 V$	–	–	$0.3 \times V_{DDD}$		–
SID243	$V_{IH}^{[3]}$	LVTTL 输入电压, $V_{DDD} \geq 2.7 V$	2.0	–	–		–
SID244	V_{IL}	LVTTL 输入电压, $V_{DDD} \geq 2.7 V$	–	–	0.8		–
SID59	V_{OH}	输出高电平电压阈值	$V_{DDD} - 0.6$	–	–		$V_{DDD} = 3 V$ 时, $I_{OH} = 4 mA$
SID60	V_{OH}	输出高电平电压阈值	$V_{DDD} - 0.5$	–	–		$V_{DDD} = 3 V$ 时, $I_{OH} = 1 mA$
SID61	V_{OL}	输出低电平电压阈值	–	–	0.6		$V_{DDD} = 1.8 V$ 时, $I_{OL} = 4 mA$
SID62	V_{OL}	输出低电平电压阈值	–	–	0.6		$V_{DDD} = 3 V$ 时, $I_{OL} = 10 mA$
SID62A	V_{OL}	输出低电平电压阈值	–	–	0.4	$V_{DDD} = 3 V$ 时, $I_{OL} = 3 mA$	
SID63	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	k Ω	–
SID64	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5		–
SID65	I_{IL}	输入漏电流 (绝对值)	–	–	2	nA	25 °C, $V_{DDD} = 3.0 V$
SID66	C_{IN}	输入电容	–	–	7	pF	–
SID67 ^[4]	V_{HYSTTL}	按 LVTTL 电平标准的输入迟滞	25	40	–	mV	$V_{DDD} \geq 2.7 V$
SID68 ^[4]	$V_{HYSCMOS}$	按 CMOS 电平标准的输入迟滞	$0.05 \times V_{DDD}$	–	–		$V_{DD} < 4.5 V$
SID68A ^[4]	$V_{HYSCMOS5V5}$	按 CMOS 电平标准的输入迟滞	200	–	–		$V_{DD} > 4.5 V$
SID69 ^[4]	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的电流	–	–	100	μA	–
SID69A ^[4]	I_{TOT_GPIO}	芯片的最大源电流或灌电流总值	–	–	200	mA	–

注释:

3. V_{IH} 不能超过 $V_{DDD} + 0.2 V$ 。
4. 由表征保证。

表 7. GPIO 交流规范

(由表征保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T _{RISEF}	快速强驱动模式下的上升时间	2	–	12	ns	V _{DDD} = 3.3 V, Cload = 25 pF
SID71	T _{FALLF}	快速强驱动模式下的下降时间	2	–	12		V _{DDD} = 3.3 V, Cload = 25 pF
SID72	T _{RISES}	慢速强驱动模式下的上升时间	10	–	60	–	V _{DDD} = 3.3 V, Cload = 25 pF
SID73	T _{FALLS}	慢速强驱动模式下的下降时间	10	–	60	–	V _{DDD} = 3.3 V, Cload = 25 pF
SID74	F _{GPIOUT1}	GPIO 的输出频率 (F _{OUT}) ; 3.3 V ≤ V _{DDD} ≤ 5.5 V 快速强驱动模式	–	–	33	MHz	90/10%, Cload = 25 pF, 60/40 占空比
SID75	F _{GPIOUT2}	GPIO 的输出频率 (F _{OUT}) ; 1.71 V ≤ V _{DDD} ≤ 3.3 V 快速强驱动模式	–	–	16.7		90/10%, Cload = 25 pF, 60/40 占空比
SID76	F _{GPIOUT3}	GPIO 的输出频率 (F _{OUT}) ; 3.3 V ≤ V _{DDD} ≤ 5.5 V 慢速强驱动模式	–	–	7		90/10%, Cload = 25 pF, 60/40 占空比
SID245	F _{GPIOUT4}	GPIO 的输出频率 (F _{OUT}) ; 1.71 V ≤ V _{DDD} ≤ 3.3 V 慢速强驱动模式	–	–	3.5		90/10%, Cload = 25 pF, 60/40 占空比
SID246	F _{GPIOIN}	GPIO 输入工作频率; 1.71 V ≤ V _{DDD} ≤ 5.5 V	–	–	48		90/10% V _{IO}

XRES
表 8. XRES 直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID77	V _{IH}	输入高电平电压阈值	0.7 × V _{DDD}	–	–	V	CMOS 输入电压
SID78	V _{IL}	输入低电平电压阈值	–	–	0.3 × V _{DDD}		
SID79	R _{PULLUP}	上拉电阻	–	60	–	kΩ	–
SID80	C _{IN}	输入电容	–	–	7	pF	–
SID81 ^[5]	V _{HYSXRES}	输入电压迟滞	–	100	–	mV	V _{DD} > 4.5 V 时, 典型迟滞为 200 mV
SID82	I _{DIODE}	通过保护二极管到达 V _{DD} /V _{SS} 的电流	–	–	100	μA	

表 9. XRES 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID83 ^[5]	T _{RESETWIDTH}	复位脉冲宽度	1	–	–	μs	–
BID194 ^[5]	T _{RESETWAKE}	从复位释放到唤醒的时间	–	–	2.7	ms	–

注释:

5. 由表征保证。

模拟外设
表 10. 比较器直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID84	V_{OFFSET1}	输入偏移电压, 出厂校准值	-	-	± 10	mV	-
SID85	V_{OFFSET2}	输入偏移电压, 自定义校准	-	-	± 4		-
SID86	V_{HYST}	迟滞 (使能时)	-	10	35		-
SID87	V_{ICM1}	正常运行模式下的共模输入电压	0	-	$V_{\text{DDD}} - 0.1$	V	模式 1 和 2
SID247	V_{ICM2}	低功耗模式下的共模输入电压	0	-	V_{DDD}		-
SID247A	V_{ICM3}	超低功耗模式下的共模输入电压	0	-	$V_{\text{DDD}} - 1.15$		$V_{\text{DDD}} \geq 2.2 \text{ V}$ (温度 = $-40 \text{ }^\circ\text{C}$)
SID88	C_{MRR}	共模抑制比	50	-	-	dB	$V_{\text{DDD}} \geq 2.7 \text{ V}$
SID88A	C_{MRR}	共模抑制比	42	-	-		$V_{\text{DDD}} \geq 2.7 \text{ V}$
SID89	I_{CMP1}	正常运行模式下的模块电流	-	-	400	μA	-
SID248	I_{CMP2}	低功耗模式下的模块电流	-	-	100		-
SID259	I_{CMP3}	超低功耗模式下的模块电流	-	6	28		$V_{\text{DDD}} \geq 2.2 \text{ V}$ (温度 = $-40 \text{ }^\circ\text{C}$)
SID90	Z_{CMP}	比较器的直流输入阻抗	35	-	-	M Ω	-

表 11. 比较器交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID91	TRESP1	响应时间, 正常运行模式, 50 mV 超压	-	38	110	ns	-
SID258	TRESP2	响应时间, 低功耗模式, 50 mV 超压	-	70	200		-
SID92	TRESP3	响应时间, 超低功耗模式, 200 mV 超压	-	2.3	15	μs	$V_{\text{DDD}} \geq 2.2 \text{ V}$ (温度 = $-40 \text{ }^\circ\text{C}$)

CSD 和 IDAC

表 12. CSD 和 IDAC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SYS.PER#3	VDD_RIPPLE	电源的最大允许纹波, DC ~ 10 MHz	-	-	±50	mV	$V_{DD} > 2\text{ V}$ (包括纹波), $T_A = 25\text{ }^\circ\text{C}$, 灵敏度 = 0.1 pF
SYS.PER#16	VDD_RIPPLE_1.8	电源的最大允许纹波, DC ~ 10 MHz	-	-	±25	mV	$V_{DD} > 1.75\text{ V}$ (包括纹波), $T_A = 25\text{ }^\circ\text{C}$, 寄生电容 (C_p) < 20 pF, 灵敏度 ≥ 0.4 pF
SID.CSD.BLK	ICSD	模块的最大电流	-	-	4000	μA	动态 (切换) 模式下两个 IDAC 模块的最大电流, 包括比较器、缓冲器和参考电压发生器上的电流。
SID.CSD#15	V_{REF}	CSD 和比较器的参考电压	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ 或 4.4 (选择更低的值)
SID.CSD#15A	V_{REF_EXT}	CSD 和比较器的外部参考电压	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ 或 4.4 (选择更低的值)
SID.CSD#16	IDAC1IDD	IDAC1 (7 位) 模块电流	-	-	1750	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 位) 模块电流	-	-	1750	μA	
SID308	VCSD	工作电压范围	1.71	-	5.5	V	1.8 V ± 5% 或 1.8 V 到 5.5 V
SID308A	VCOMPIDAC	IDAC 的合规电压范围	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ 或 4.4 (选择更低的值)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	
SID310	IDAC1INL	INL	-2	-	2	LSB	$V_{DDA} < 2\text{ V}$ 时, INL 为 ±5.5 LSB
SID311	IDAC2DNL	DNL	-1	-	1	LSB	
SID312	IDAC2INL	INL	-2	-	2	LSB	$V_{DDA} < 2\text{ V}$ 时, INL 为 ±5.5 LSB
SID313	SNR	手指信号与噪声的比例。由表征保证	5	-	-	比率	电容值范围 = 5 pF ~ 35 pF, 灵敏度 = 0.1 pF。所有使用场合。 $V_{DDA} > 2\text{ V}$ 。
SID314	IDAC1CRT1	IDAC1 (7 位) 在低范围内的输出电流	4.2	-	5.4	μA	LSB = 37.5 nA (典型值)
SID314A	IDAC1CRT2	IDAC1 (7 位) 在中等范围内的输出电流	34	-	41	μA	LSB = 300 nA (典型值)
SID314B	IDAC1CRT3	IDAC1 (7 位) 在高范围内的输出电流	275	-	330	μA	LSB = 2.4 μA (典型值)
SID314C	IDAC1CRT12	IDAC1 (7 位) 在低范围和 2X 模式下的输出电流	8	-	10.5	μA	LSB = 75 nA (典型值)
SID314D	IDAC1CRT22	IDAC1 (7 位) 在中等范围和 2X 模式下的输出电流	69	-	82	μA	LSB = 600 nA (典型值)
SID314E	IDAC1CRT32	IDAC1 (7 位) 在高范围和 2X 模式下的输出电流	540	-	660	μA	LSB = 4.8 μA (典型值)
SID315	IDAC2CRT1	IDAC2 (7 位) 在低范围内的输出电流	4.2	-	5.4	μA	LSB = 37.5 nA (典型值)
SID315A	IDAC2CRT2	IDAC2 (7 位) 在中等范围内的输出电流	34	-	41	μA	LSB = 300 nA (典型值)
SID315B	IDAC2CRT3	IDAC2 (7 位) 在高范围内的输出电流	275	-	330	μA	LSB = 2.4 μA (典型值)
SID315C	IDAC2CRT12	IDAC2 (7 位) 在低范围和 2X 模式下的输出电流	8	-	10.5	μA	LSB = 75 nA (典型值)
SID315D	IDAC2CRT22	IDAC2 (7 位) 在高范围和 2X 模式下的输出电流	69	-	82	μA	LSB = 600 nA (典型值)
SID315E	IDAC2CRT32	IDAC2 (7 位) 在高范围和 2X 模式下的输出电流	540	-	660	μA	LSB = 4.8 μA (典型值)
SID315F	IDAC3CRT13	IDAC (8 位) 在低范围内的输出电流	8	-	10.5	μA	LSB = 37.5 nA (典型值)

表 12. CSD 和 IDAC 规范 (续)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID315G	IDAC3CRT23	IDAC (8 位) 在中等范围内的输出电流	69	–	82	μA	LSB = 300 nA (典型值)
SID315H	IDAC3CRT33	IDAC (8 位) 在高范围内的输出电流	540	–	660	μA	LSB = 2.4 μA (典型值)
SID320	IDACOFFSET	所有输入都为零	–	–	1	LSB	由源电流或灌电流设置的极性。偏移为 2 个 LSB (在 37.5 nA/LSB 模式下)
SID321	IDACGAIN	满量程误差减去偏移	–	–	±10	%	
SID322	IDACMISMATCH1	IDAC1 和 IDAC2 在低功耗模式下的差异	–	–	9.2	LSB	LSB = 37.5 nA (典型值)
SID322A	IDACMISMATCH2	IDAC1 和 IDAC2 在中等功耗模式下的差异	–	–	5.6	LSB	LSB = 300 nA (典型值)
SID322B	IDACMISMATCH3	IDAC1 和 IDAC2 在高功耗模式下的差异	–	–	6.8	LSB	LSB = 2.4 μA (典型值)
SID323	IDACSET8	8 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	μs	满量程跃变。 无外部负载。
SID324	IDACSET7	7 位 IDAC 达到 0.5 LSB 所需的建立时间	–	–	10	μs	满量程跃变。 无外部负载。
SID325	CMOD	外部调制器电容。	–	2.2	–	nF	5 V 的额定电压, X7R 或 NP0 电容。

10 位 CapSense ADC
表 13. 10 位 CapSense ADC 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SIDA94	A_RES	分辨率	–	–	10	位	每毫秒需要自动清零
SIDA95	A_CHNLS_S	单端通道数量	–	–	16		由 AMUX 总线定义。
SIDA97	A-MONO	单调性	–	–	–	有	
SIDA98	A_GAINERR	增益误差	–	–	±2	%	处于 V_{REF} (2.4 V) 模式，并使用大小为 $10\ \mu\text{F}$ 的 V_{DDA} 旁路电容
SIDA99	A_OFFSET	输入偏移电压	–	–	3	mV	处于 V_{REF} (2.4 V) 模式，并使用大小为 $10\ \mu\text{F}$ 的 V_{DDA} 旁路电容
SIDA100	A_ISAR	电流消耗	–	–	0.25	mA	
SIDA101	A_VINS	单端输入电压范围	V_{SSA}	–	V_{DDA}	V	
SIDA103	A_INRES	输入电阻	–	2.2	–	K Ω	
SIDA104	A_INCAP	输入电容	–	20	–	pF	
SIDA106	A_PSRR	电源抑制比	–	60	–	dB	处于 V_{REF} (2.4 V) 模式，并使用大小为 $10\ \mu\text{F}$ 的 V_{DDA} 旁路电容
SIDA107	A_TACQ	样本采集时间	–	1	–	μs	
SIDA108	A_CONV8	转换速率为 $F_{clk}/(2^{(N+2)})$ 时 8 位分辨率的转换时间时钟频率为 48 MHz。	–	–	21.3	μs	不包括样本采集时间。等于 44.8 Ksps (包括采集时间)。
SIDA108A	A_CONV10	转换速率为 $F_{clk}/(2^{(N+2)})$ 时 10 位分辨率的转换时间时钟频率为 48 MHz。	–	–	85.3	μs	不包括采集时间。等于 11.6 Ksps (包括样本采集时间)。
SIDA109	A_SND	信噪比和失真比 (SINAD)	–	61	–	dB	10 Hz 输入正弦波、2.4 V 的外部参考电压、 V_{REF} (2.4 V) 模式
SIDA110	A_BW	无混叠输入带宽	–	–	22.4	kHz	8 位分辨率
SIDA111	A_INL	在 1 Ksps 时的积分非线性	–	–	2	LSB	$V_{REF} = 2.4\ \text{V}$ 或更高的值
SIDA112	A_DNL	在 1 Ksps 时的微分非线性	–	–	1	LSB	

数字外设

定时器 / 计数器 / 脉宽调制器 (TCPWM)

表 14. TCPWM 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时的模块电流消耗	–	–	45	μA	所有模式 (TCPWM)
SID.TCPWM.2	ITCPWM2	频率为 12 MHz 时的模块电流消耗	–	–	155		所有模式 (TCPWM)
SID.TCPWM.2A	ITCPWM3	频率为 48 MHz 时的模块电流消耗	–	–	650		所有模式 (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	工作频率	–	–	F _c	MHz	F _c max = CLK_SYS 最大值 = 48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	输入触发脉冲宽度	2/F _c	–	–	ns	针对所有触发事件 [6]
SID.TCPWM.5	TPWM _{EXT}	输出触发脉冲宽度	2/F _c	–	–		上溢、下溢和 CC (计数值等于比较值) 输出的最小宽度
SID.TCPWM.5A	TC _{RES}	计数器的分辨率	1/F _c	–	–		连续计数之间的最短时间
SID.TCPWM.5B	PWM _{RES}	PWM 分辨率	1/F _c	–	–		PWM 输出的最小脉宽
SID.TCPWM.5C	Q _{RES}	正交输入分辨率	1/F _c	–	–		正交相位输入间的最小脉冲宽度

注释:

6. 根据所选的工作模式, 触发事件可以为: Stop、Start、Reload、Count、Capture 或 Kill。

I^2C
表 15. 固定 I²C 直流规范 ^[7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I _{I2C1}	频率为 100 KHz 时模块消耗的电流	-	-	50	μA	-
SID150	I _{I2C2}	频率为 400 KHz 时模块消耗的电流	-	-	135		-
SID151	I _{I2C3}	比特率为 1 Mbps 时模块消耗的电流	-	-	310		-
SID152	I _{I2C4}	I ² C 在深度睡眠模式下被使能	-	-	1.4		

表 16. 固定的 I²C 交流规范 ^[7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F _{I2C1}	比特率	-	-	1	MspS	-

SPI

表 17. SPI 直流规范 ^[7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID163	ISPI1	比特率为 1 Mbps 时模块消耗的电流	-	-	360	μA	-
SID164	ISPI2	比特率为 4 Mbps 时模块消耗的电流	-	-	560		-
SID165	ISPI3	比特率为 8 Mbps 时模块消耗的电流	-	-	600		-

表 18. SPI 交流规范 ^[7]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID166	FSPI	SPI 工作频率（主设备，6X 过采样）	-	-	8	MHz	
固定 SPI 主设备模式的交流规范							
SID167	TDMO	SClock 驱动沿后 MOSI 有效的时间	-	-	15	ns	-
SID168	TDSI	SClock 捕获沿前 MISO 有效的时间	20	-	-		全时钟、MISO 推迟采样
SID169	THMO	先前的 MOSI 数据保持时间	0	-	-		表示从设备捕获数据的边沿
固定 SPI 从设备模式的交流规范							
SID170	TDMI	SClock 捕获沿前 MOSI 有效的时间	40	-	-	ns	-
SID171	TDSO	SClock 驱动沿后 MISO 有效的时间	-	-	42 + 3 x T _{cpu}		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	Sclock 驱动沿后 MISO 有效的时间（处于外部时钟模式下）	-	-	48		-
SID172	THSO	先前的 MISO 数据保持时间	0	-	-		-
SID172A	TSSELSSCK	从 SSEL 有效到第一个 SCK 有效边沿的时间	100	-	-	ns	-

注释：

7. 由表征保证。

UART
表 19. UART 直流规范 ^[8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID160	I_{UART1}	比特率为 100 Kbps 时模块消耗的电流	–	–	55	μA	–
SID161	I_{UART2}	比特率为 1000 Kbps 时模块消耗的电流	–	–	312	μA	–

表 20. UART 交流规范 ^[8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID162	F_{UART}	比特率	–	–	1	Mbps	–

LCD 直接驱动
表 21. LCD 直接驱动直流规范 ^[8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID154	I_{LCDLOW}	低功耗模式下的工作电流	–	5	–	μA	尺寸为 16 × 4 的小型段式 (Segment) 显示屏, 频率 = 50 Hz
SID155	C_{LCDCAP}	每个 Common/Segment 驱动器上的 LCD 电容	–	500	5000	pF	–
SID156	LCD_{OFFSET}	长期 Segment 偏移	–	20	–	mV	–
SID157	I_{LCDOP1}	$V_{bias} = 5\text{ V}$ 时的 LCD 系统工作电流	–	2	–	mA	尺寸为 32 × 4 段式 (Segment) 显示屏, 频率 = 50 Hz, 温度 = 25 °C
SID158	I_{LCDOP2}	$V_{bias} = 3.3\text{ V}$ 时的 LCD 系统工作电流	–	2	–		尺寸为 32 × 4 段式 (Segment) 显示屏, 频率 = 50 Hz, 温度 = 25 °C

表 22. LCD 直接驱动器交流规范 ^[8]

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID159	F_{LCD}	LCD 帧率	10	50	150	Hz	–

注释:

8. 由表征保证。

存储器
闪存
表 23. 闪存直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID173	V _{PE}	擦除和编程电压	1.71	–	5.5	V	–

表 24. 闪存交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID174	T _{ROWWRITE} ^[9]	行（块）编写时间（擦除和编程）	–	–	20	ms	行（块）= 128 个字节
SID175	T _{ROWERASE} ^[9]	行擦除时间	–	–	16		–
SID176	T _{ROWPROGRAM} ^[9]	擦除后的行编程时间	–	–	4		–
SID178	T _{BULKERASE} ^[9]	批量擦除时间（32 KB）	–	–	35		–
SID180 ^[10]	T _{DEVPROG} ^[9]	器件总编程时间	–	–	7	s	–
SID181 ^[10]	F _{END}	闪存擦写次数	100 K	–	–	周期	–
SID182 ^[10]	F _{RET}	闪存数据保持时间。T _A ≤ 55 °C, 10 万个编程 / 擦除周期	20	–	–	年	–
SID182A ^[10]	–	闪存数据保持时间。T _A ≤ 85 °C, 一万个编程 / 擦除周期	10	–	–		–
SID182B ^[10]	F _{RETQ}	闪存数据保持时间。T _A ≤ 105 °C, 一万个编程 / 擦除周期, 在 T _A ≥ 85 °C 时, ≤ 3 年	10	–	20		表征保证
SID256	TWS48	频率为 48 MHz 时的等待状态数	2	–	–		CPU 从闪存内执行。
SID257	TWS24	频率为 24 MHz 时的等待状态数	1	–	–		CPU 从闪存内执行

系统资源
上电复位（POR）
表 25. 上电复位（PRES）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.CLK#6	SR_POWER_UP	电源转换速率	1	–	67	V/ms	上电和掉电
SID185 ^[10]	V _{RISEIPOR}	上升触发电压	0.80	–	1.5	V	–
SID186 ^[10]	V _{FALLIPOR}	下降触发电压	0.70	–	1.4		–

表 26. V_{CCD} 的欠压检测（BOD）

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190 ^[10]	V _{FALLPPOR}	活动模式和睡眠模式下的 BOD 触发电压	1.48	–	1.62	V	–
SID192 ^[10]	V _{FALLDPSLP}	深度睡眠模式下的 BOD 触发电压	1.11	–	1.5		–

注释:

9. 可能需要 20 ms 来写入闪存。在这段时间内请勿复位器件，否则可能中止闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

10. 由表征保证。

SWD 接口
表 27. SWD 接口规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID213	F_SWDCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-	-	14	MHz	SWDCLK \leq CPU 时钟频率的 1/3
SID214	F_SWDCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	-	-	7		SWDCLK \leq CPU 时钟频率的 1/3
SID215 ^[11]	T_SWDI_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-	ns	-
SID216 ^[11]	T_SWDI_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 \times T$	-	-		-
SID217 ^[11]	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	-	-	$0.5 \times T$		-
SID217A ^[11]	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	-	-		-

内部主振荡器 (IMO)
表 28. IMO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I _{IMO1}	频率为 48 MHz 时 IMO 的工作电流	-	-	250	μA	-
SID219	I _{IMO2}	频率为 24 MHz 时 IMO 的工作电流	-	-	180	μA	-

表 29. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	F _{IMOTOL1}	频率可以为 24、32 和 48 MHz (经过校准后)	-	-	± 2	%	-
SID223A			-	-	± 2.5	%	105 °C
SID226	T _{STARTIMO}	IMO 启动时间	-	-	7	μs	-
SID228	T _{JITRMSIMO2}	在 24 MHz 时的均方根抖动时间	-	145	-	ps	-

内部低速振荡器 (ILO)
表 30. ILO 直流规范

(由设计保证)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231 ^[11]	I _{ILO1}	ILO 工作电流	-	0.3	1.05	μA	-

表 31. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234 ^[11]	T _{STARTILO1}	ILO 启动时间	-	-	2	ms	-
SID236 ^[11]	T _{ILODUTY}	ILO 占空比	40	50	60	%	-
SID237	F _{ILOTRIM1}	ILO 频率范围	20	40	80	kHz	-

注释:

11. 由表征保证。

时钟晶体振荡器 (WCO)

表 32. 时钟晶体振荡器 (WCO) 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID398	FWCO	晶振频率	–	32.768	–	kHz	
SID399	FTOL	频率容限	–	50	250	ppm	晶振的精度为 20 ppm
SID400	ESR	等效串联电阻	–	50	–	kΩ	
SID401	PD	驱动电平	–	–	1	μW	
SID402	TSTART	启动时间	–	–	500	ms	
SID403	CL	晶振负载电容	6	–	12.5	pF	
SID404	C0	晶振并联电容	–	1.35	–	pF	
SID405	IWCO1	工作电流 (高功耗模式)	–	–	8	μA	
SID406	IWCO2	工作电流 (低功耗模式)	–	–	1	μA	

外部时钟

表 33. 外部时钟规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305 ^[12]	ExtClkFreq	外部时钟输入频率	0	–	48	MHz	–
SID306 ^[12]	ExtClkDuty	占空比; 在 $V_{DD/2}$ 电压下测量得到的	45	–	55	%	–

时钟

表 34. 模块规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID262 ^[12]	T _{CLKSWITCH}	系统时钟源的切换时间	3	–	4	周期	–

Smart I/O 接通时间
表 35. Smart I/O 接通时间 (旁路模式下会有延迟)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID252	PRG_BYPASS	旁路模式下由 Smart I/O 引起的最长延迟时间	–	–	1.6	ns	

注释:

12. 由表征保证。

订购信息

下表显示了 PSoC 4000S 器件型号和各种特性。

表 36. PSoC 4000S 订购信息

类别	MPN	特性												封装					温度范围				
		最大 CPU 速度 (MHz)	Flash (KB)	SRAM (KB)	Opamp (CTBm)	CapSense	10-bit CSD ADC	12-bit SAR ADC	低功耗比较器	TCPWM模块	SCB 模块	Smart I/Os	GPIO	WLCSP (0.35-mm 间距)	24-pin QFN	32-pin QFN	32-pin TQFP	40-pin QFN		48-pin TQFP			
4024	CY8C4024FNI-S402	24	16	2	0	0	1	0	2	5	2	8	21	✓									-40 到 85 °C
	CY8C4024LQI-S401	24	16	2	0	0	1	0	2	5	2	8	19		✓								
	CY8C4024LQI-S402	24	16	2	0	0	1	0	2	5	2	16	27			✓							
	CY8C4024AXI-S402	24	16	2	0	0	1	0	2	5	2	16	27				✓						
	CY8C4024LQI-S403	24	16	2	0	0	1	0	2	5	2	16	34					✓					
	CY8C4024AZI-S403	24	16	2	0	0	1	0	2	5	2	16	36								✓		
	CY8C4024FNI-S412	24	16	2	0	1	1	0	2	5	2	8	21	✓									
	CY8C4024LQI-S411	24	16	2	0	1	1	0	2	5	2	8	19		✓								
	CY8C4024LQI-S412	24	16	2	0	1	1	0	2	5	2	16	27			✓							
	CY8C4024AXI-S412	24	16	2	0	1	1	0	2	5	2	16	27				✓						
	CY8C4024LQI-S413	24	16	2	0	1	1	0	2	5	2	16	34					✓					
	CY8C4024AZI-S413	24	16	2	0	1	1	0	2	5	2	16	36								✓		
CY8C4024AZQ-S413	24	16	2	0	1	1	0	2	5	2	16	36								✓		-40到105 °C	
4025	CY8C4025FNI-S402	24	32	4	0	0	1	0	2	5	2	8	21	✓									-40到 85 °C
	CY8C4025LQI-S401	24	32	4	0	0	1	0	2	5	2	8	19		✓								
	CY8C4025LQI-S402	24	32	4	0	0	1	0	2	5	2	16	27			✓							
	CY8C4025AXI-S402	24	32	4	0	0	1	0	2	5	2	16	27				✓						
	CY8C4025LQI-S403	24	32	4	0	0	1	0	2	5	2	16	34					✓					
	CY8C4025AZI-S403	24	32	4	0	0	1	0	2	5	2	16	36								✓		
	CY8C4025AZQ-S403	24	32	4	0	0	1	0	2	5	2	16	36								✓		-40到105 °C
	CY8C4025FNI-S412	24	32	4	0	1	1	0	2	5	2	8	21	✓									-40 到 85 °C
	CY8C4025LQI-S411	24	32	4	0	1	1	0	2	5	2	8	19		✓								
	CY8C4025LQI-S412	24	32	4	0	1	1	0	2	5	2	16	27			✓							
	CY8C4025AXI-S412	24	32	4	0	1	1	0	2	5	2	16	27				✓						
	CY8C4025LQI-S413	24	32	4	0	1	1	0	2	5	2	16	34					✓					
CY8C4025AZI-S413	24	32	4	0	1	1	0	2	5	2	16	36								✓			
CY8C4025AZQ-S413	24	32	4	0	1	1	0	2	5	2	16	36								✓		-40到 105 °C	
4045	CY8C4045FNI-S412	48	32	4	0	1	1	0	2	5	2	8	21	✓									-40到 85 °C
	CY8C4045LQI-S411	48	32	4	0	1	1	0	2	5	2	8	19		✓								
	CY8C4045LQI-S412	48	32	4	0	1	1	0	2	5	2	16	27			✓							
	CY8C4045AXI-S412	48	32	4	0	1	1	0	2	5	2	16	27				✓						
	CY8C4045LQI-S413	48	32	4	0	1	1	0	2	5	2	16	34					✓					
	CY8C4045AZI-S413	48	32	4	0	1	1	0	2	5	2	16	36								✓		
CY8C4045AZQ-S413	48	32	4	0	1	1	0	2	5	2	16	36								✓		-40到 105 °C	

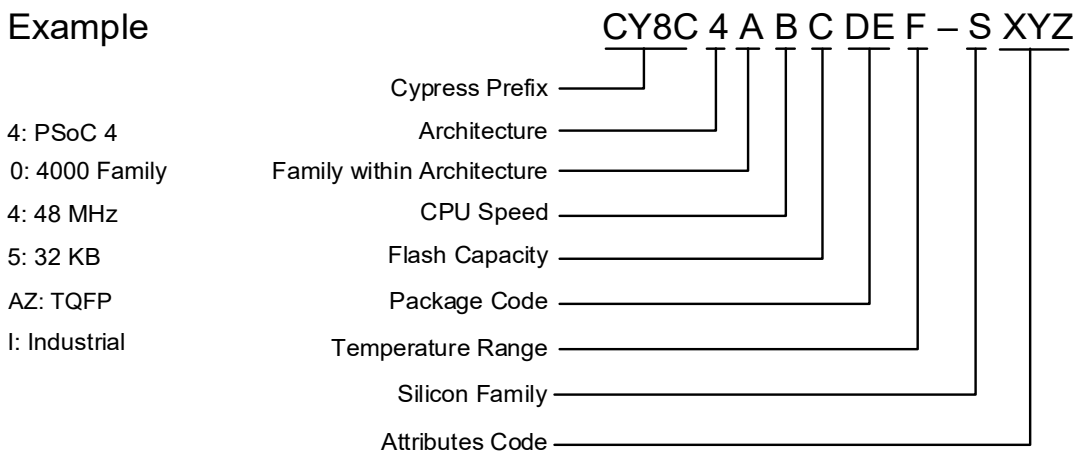
上表中所用的名称是基于以下的器件编号常规:

表 37. 命名规则

字段	说明	数值	含义
CY8C	赛普拉斯前缀		
4	架构	4	PSoC 4
A	系列	0	4000 系列
B	CPU 速度	2	24 MHz
		4	48 MHz
C	闪存容量	4	16 KB
		5	32 KB
		6	64 KB
		7	128 KB
DE	封装代码	AX	TQFP (间距为 0.8 mm)
		AZ	TQFP (间距为 0.5 mm)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度范围	I	工业级
		Q	扩展工业级
S	系列指示符	S	PSoC 4 S 系列
		M	PSoC 4 M 系列
		L	PSoC 4 L 系列
		BL	PSoC 4 BLE 系列
XYZ	属性代码	000-999	在特定系列中的功能集代码

下面是一个器件型号示例:

Example



封装

PSoC 4000S 提供了 48-TQFP、40-QFN、32-QFN、24-QFN、32-TQFP 和 25-ball WLCSP 封装。

封装尺寸和赛普拉斯的型号如下表所示。

表 38. 封装列表

规范 ID	封装	描述	封装 DWG 编号
BID20	48-TQFP	7 × 7 × 1.4 mm 高度 (引脚间距为 0.5 mm)	51-85135
BID27	40-QFN	6 × 6 × 0.6 mm 高度 (引脚间距为 0.5 mm)	001-80659
BID34A	32-QFN	5 × 5 × 0.6 mm 高度 (引脚间距为 0.5 mm)	001-42168
BID34	24-QFN	4 × 4 × 0.6 mm 高度 (引脚间距为 0.5 mm)	001-13937
BID34G	32-TQFP	7 × 7 × 1.4 mm 高度 (引脚间距为 0.8mm)	51-85088
BID34F	25-ball WLCSP	2.02 × 1.93 × 0.48 mm 高度 (引脚间距为 0.35 mm)	002-09957

表 39. 封装的热特性

参数	说明	封装	最小值	典型值	最大值	单位
T _A	工作环境温度	—	-40	25	105	°C
T _J	工作环境温度	—	-40	—	125	°C
T _{JA}	封装 θ _{JA}	48-TQFP	—	73.5	—	°C/W
T _{JC}	封装 θ _{JC}	48-TQFP	—	33.5	—	°C/W
T _{JA}	封装 θ _{JA}	40-QFN	—	17.8	—	°C/W
T _{JC}	封装 θ _{JC}	40-QFN	—	2.8	—	°C/W
T _{JA}	封装 θ _{JA}	32-QFN	—	20.8	—	°C/W
T _{JC}	封装 θ _{JC}	32-QFN	—	5.9	—	°C/W
T _{JA}	封装 θ _{JA}	24-QFN	—	21.7	—	°C/W
T _{JC}	封装 θ _{JC}	24-QFN	—	5.6	—	°C/W
T _{JA}	封装 θ _{JA}	32-TQFP	—	29.4	—	°C/W
T _{JC}	封装 θ _{JC}	32-TQFP	—	3.5	—	°C/W
T _{JA}	封装 θ _{JA}	25-ball WLCSP	—	40	—	°C/W
T _{JC}	封装 θ _{JC}	25-ball WLCSP	—	0.5	—	°C/W

表 40. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
所有封装类型	260 °C	30 秒

表 41. 封装潮敏等级 (MSL) (根据 IPC/JEDEC J-STD-020 标准)

封装	MSL
所有封装 (WLCSP 除外)	MSL 3
25-ball WLCSP	MSL 1

封装图

图 6. 48-TQFP(7 × 7 × 1.4 mm) 封装外形, 51-85135

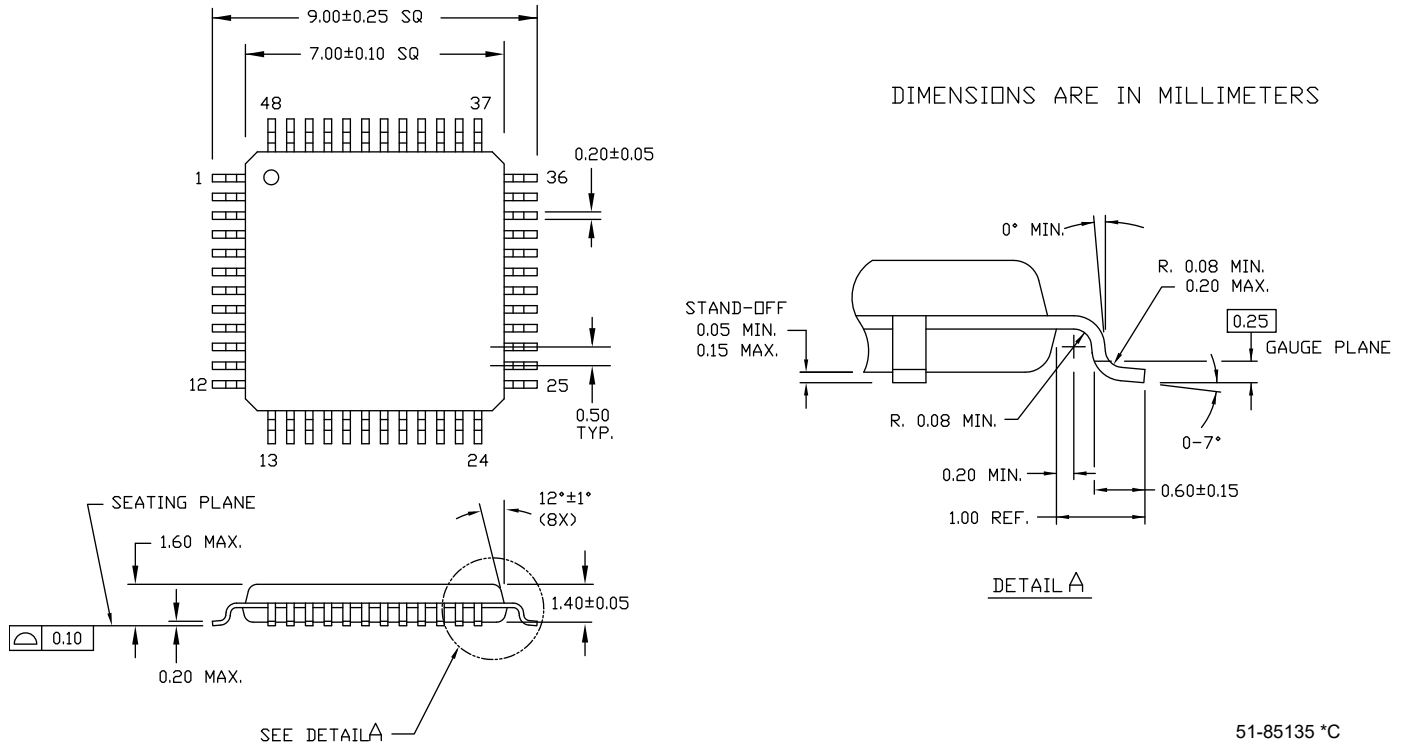
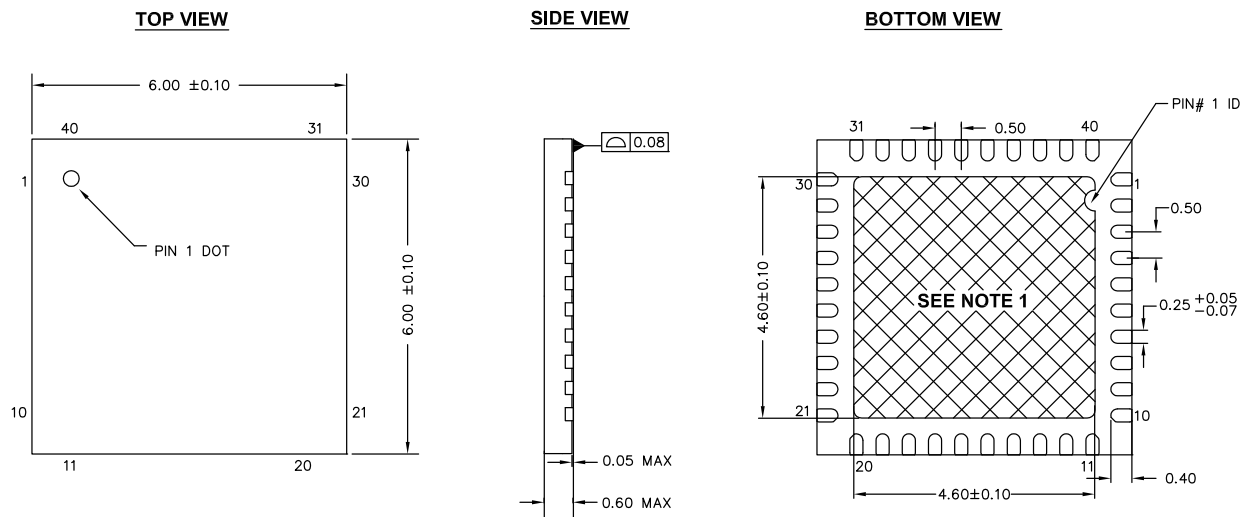



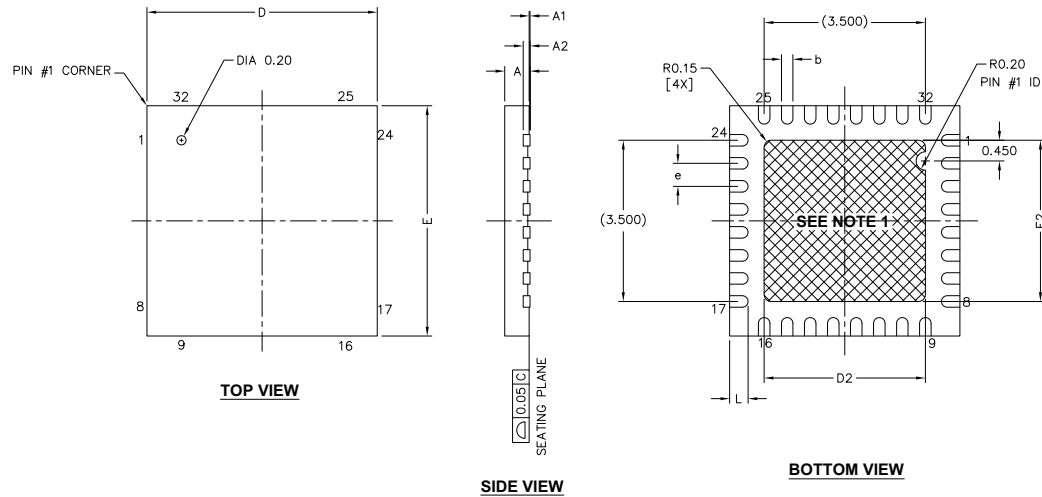
图 7. 40-QFN 封装 (6 × 6 × 0.6 mm) 外形, 001-80659



NOTES:


1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

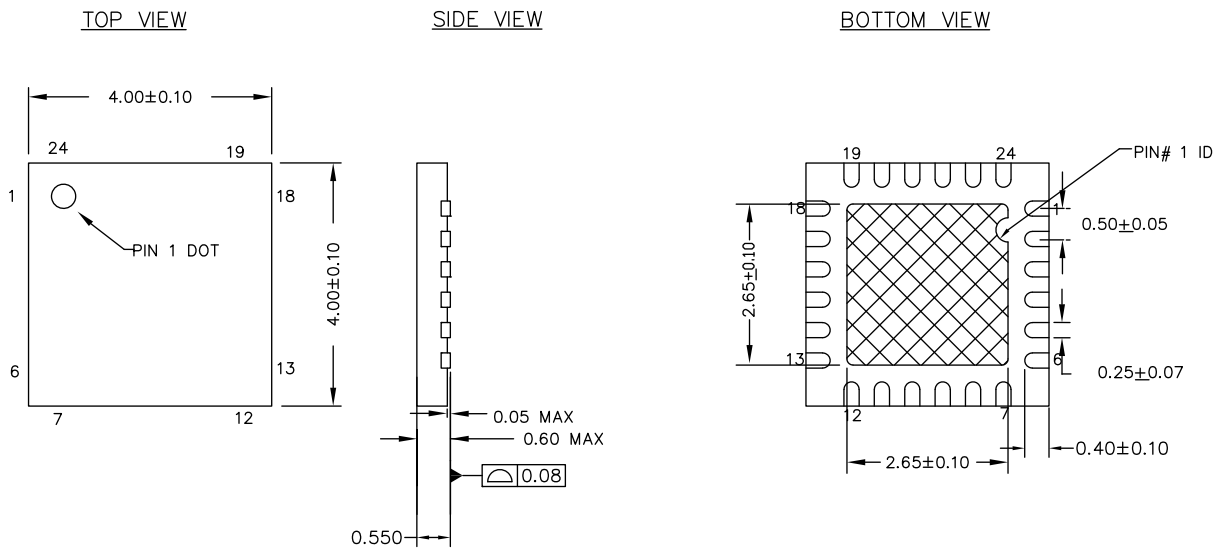
图 8. 32-QFN((5.0 × 5.0 × 0.55 mm) 3.5 × 3.5 mm E-Pad (Sawn) 封装外形 , 001-42168



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2	0.15 BSC		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
b	0.18	0.25	0.30
e	0.50 TYP		

NOTES:

-  HATCH AREA IS SOLDERABLE EXPOSED PAD
- BASED ON REF JEDEC # MO-248
- PACKAGE WEIGHT: 0.0388g
- DIMENSIONS ARE IN MILLIMETERS

001-42168 *F

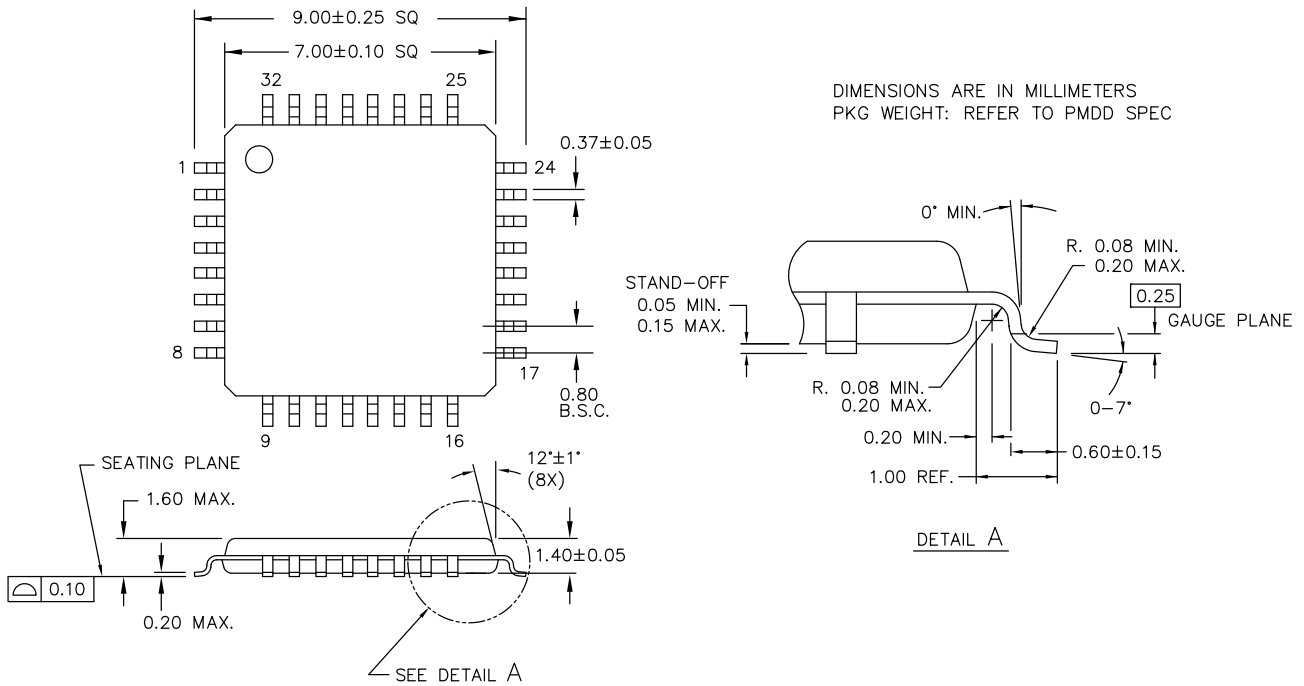
图 9. 24-QFN((4 x 4 x 0.60mm) 2.65 x 2.65E-Pad (Sawn)) 封装外形 ,001-13937

NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *H

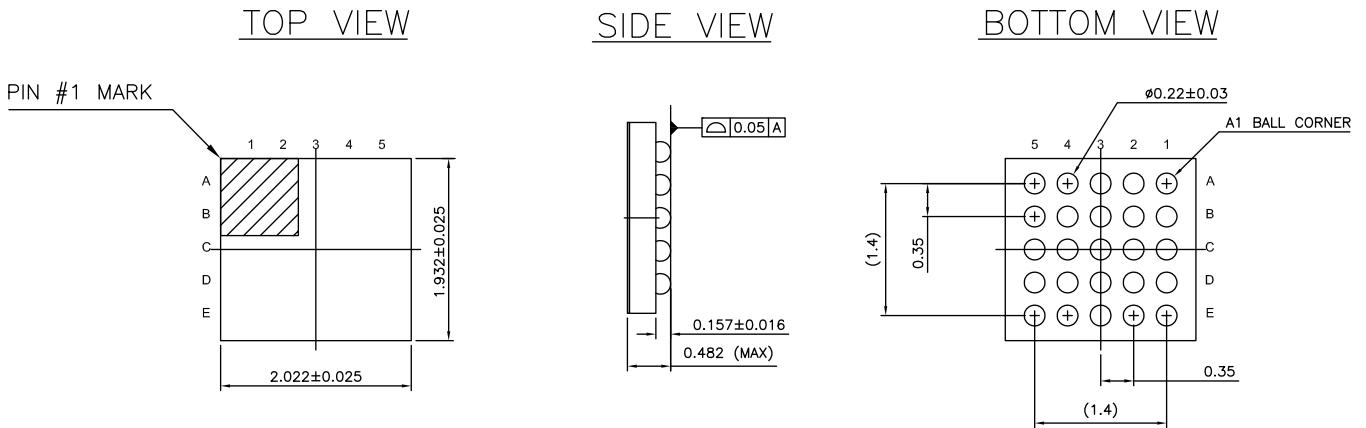
QFN 封装上的中心焊盘应接地 (VSS)，以获得最佳机械、热学和电气性能。如果未接地，则应处于电气悬空状态，而不能连接到任何其他信号。

图 10. 32-TQFP(7 x 7 x 1.4mm) 封装外形, 51-85088



51-85088 *E

图 11. 25-ball WLCSP(2.02 x 1.93 x 0.48) 封装外形, 002-09957



ALL DIMENSIONS ARE IN MM
JEDEC Publication 95; Design Guide 4.18

002-09957 **

缩略语
表 42. 本文中使用的缩略语

缩略语	说明
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA (先进微控制器总线结构) 高性能总线, 即为一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用编程状态寄存器
Arm®	高级 RISC 机器, 即为一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络, 即为一种通信协议
CMRR	共模抑制比
CPU	中央处理器
CRC	循环冗余校验, 即为一种错误校验协议
DAC	数模转换器, 另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出, GPIO 只有数字功能, 无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问, 另请参见 TD
DNL	微分非线性, 另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应, 另请参见 IIR

表 42. 本文中使用的缩略语 (续)

缩略语	说明
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出, 适用于 PSoC 引脚
HVI	高电压中断, 另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC, 另请参见 DAC、VDAC
IDE	集成开发环境
I ² C 或 IIC	内部集成电路, 即为一种通信协议
IIR	无限脉冲响应, 另请参见 FIR
ILO	内部低速振荡器, 另请参见 IMO
IMO	内部主振荡器, 另请参见 ILO
INL	积分非线性, 另请参见 DNL
I/O	输入 / 输出, 另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示屏
LIN	本地互连网络, 即为一种通信协议。
LR	链接寄存器
LUT	查找表
LVD	低压检测, 另请参见 LVI
LVI	低压中断, 另请参见 HVI
LVTTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器, 另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑, 另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器

表 42. 本文中使用的缩略语 (续)

缩略语	说明
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件, 另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	精密上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统 (Programmable System-on-Chip™)
PSRR	电源抑制比
PWM	脉宽调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器转换语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特殊输入 / 输出, 即带高级功能的 GPIO。请参见 GPIO。
SOC	转换开始
SOF	帧开始
SPI	串行外设接口, 即为一种通信协议
SR	摆率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 即为一种测试协议
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器

表 42. 本文中使用的缩略语 (续)

缩略语	说明
TRM	技术参考手册
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发送器接收器, 即为一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档规范

测量单位

表 43. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	千次采样每秒
LSB	最低有效位
Mbps	每秒兆比特
MHz	兆赫
MΩ	兆欧姆
Msps	每秒兆次采样
μA	微安
μF	微法
μH	微亨
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒采样数
sqrtHz	赫兹平方根
V	伏特

修订记录

文档标题: PSoC 4: PSoC 4000S 系列数据手册可编程片上系统 (PSoC) 文档编号: 002-10632			
版本	ECN	提交日期	变更说明
**	5088622	01/18/2016	本文档版本号为 Rev**, 译自英文版 002-00123 Rev*B。
*A	5466874	10/10/2016	本文档版本号为 Rev*A, 译自英文版 002-00123 Rev*G。
*B	6530275	04/02/2019	本文档版本号为 Rev. *B, 译自英文版 002-00123 Rev. *K。
*C	7137756	05/12/2021	本文档版本号为 Rev. *C, 译自英文版 002-00123 Rev. *N。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2015-2021 年。本文件是英飞凌科技旗下赛普拉斯半导体公司及其关联公司（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯持软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件或任何伴随的硬件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯不承担由于任何安全漏洞而产生的责任，例如未经授权的访问或使用赛普拉斯产品。**赛普拉斯未陈述、保证和担保赛普拉斯产品或使用赛普拉斯产品创建的系统将免于损坏、攻击、病毒、干扰、黑客、数据丢失或失窃或其他安全入侵（统称为“安全漏洞”）。**赛普拉斯对任何安全漏洞不承担任何责任，并且贵方应特此免除赛普拉斯因任何安全漏洞引起的任何索赔、损失或其他责任。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。“高风险设备”是指，若其故障后可能导致人身伤害、死亡或财产损失的任何设备或系统。高风险设备的例子是武器，核装置，外科植入物和其他医疗设备。“关键部件”是指，若其发生故障后，经合理预期会直接或间接地导致高风险设备故障或会影响高风险设备安全性和有效性的任何高风险设备部件。赛普拉斯不承担全部或部分，且贵方应特此免除赛普拉斯因在高风险设备中使用赛普拉斯产品作为关键部件而引起的任何索赔、损失或其他责任。贵方应赔偿赛普拉斯及其董事、职员、雇员、代理方、关联公司、经销商和受让方因在高风险设备中使用赛普拉斯产品作为关键部件而产生的所有索赔、成本、损失和费用，包括因产品责任、人身伤害或死亡或财产损失引起的主张，并使之免受损失。赛普拉斯产品非被设定或被授权作为高风险设备中的关键部件使用，除非限于 (i) 赛普拉斯公布的关于该产品的数据表明确指出该产品适格于特定高风险设备，或 (ii) 赛普拉斯已事先书面授权贵方，允许将该产品用作特定高风险设备中的关键部件，并且贵方已签署单独的赔偿协议。

赛普拉斯、赛普拉斯徽标及上述项目的组合，PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED 和 ModusToolbox 为赛普拉斯或赛普拉斯的子公司在美国或在其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。

Mouser Electronics

Authorized Distributor

Click to View Pricing, Inventory, Delivery & Lifecycle Information:

Infineon:

[CY8C4024LQI-S412](#) [CY8C4024LQI-S412T](#) [CY8C4024LQI-S411](#) [CY8C4025LQI-S402T](#) [CY8C4025FNI-S402T](#)
[CY8C4045LQI-S411](#) [CY8C4045LQI-S412](#) [CY8C4024LQI-S402](#) [CY8C4024AZI-S413](#) [CY8C4024FNI-S412T](#)
[CY8C4045LQI-S412T](#) [CY8C4025LQI-S412](#) [CY8C4025AZI-S413](#) [CY8C4025LQI-S401](#) [CY8C4045FNI-S412T](#)
[CY8C4025LQI-S402](#) [CY8C4025FNI-S412T](#) [CY8C4045AZI-S413](#) [CY8C4024FNI-S402T](#) [CY8C4025LQI-S411](#)
[CY8C4024AZI-S403](#) [CY8C4024LQI-S401](#) [CY8C4025AZI-S403](#) [CY8C4025LQI-S412T](#) [CY8C4024LQI-S413T](#)
[CY8C4024LQI-S403](#) [CY8C4024LQI-S403T](#) [CY8C4024LQI-S413](#) [CY8C4025AZI-S403T](#) [CY8C4045AZI-S413T](#)
[CY8C4024AZI-S413T](#) [CY8C4024AZI-S403T](#) [CY8C4025AZI-S413T](#) [CY8C4025AXI-S402](#) [CY8C4024AXI-S402](#)
[CY8C4025AXI-S412](#) [CY8C4024AXI-S412](#) [CY8C4025LQI-S403](#) [CY8C4025LQI-S413](#) [CY8C4045LQI-S413](#)
[CY8C4025AZQ-S403](#)